



(19) RU<sup>(11)</sup> 2 186 460<sup>(13)</sup> C1  
(51) МПК<sup>7</sup> H 03 M 13/27

РОССИЙСКОЕ АГЕНТСТВО  
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

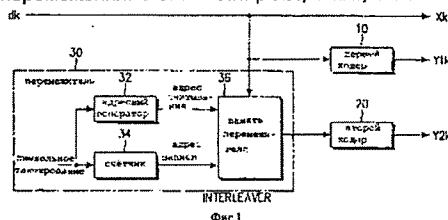
(21), (22) Заявка: 2000130216/09, 03.04.2000  
(24) Дата начала действия патента: 03.04.2000  
(30) Приоритет: 02.04.1999 KR 1999/12859  
(46) Дата публикации: 27.07.2002  
(56) Ссылки: US 5446747 A, 19.08.1995. SU 1511865 A2, 13.09.1989. US 5517512 A, 14.05.1996. GB 2311699 A, 01.10.1997. US 5448578 A, 05.09.1995.  
(85) Дата перевода заявки РСТ на национальную фазу: 01.12.2000  
(86) Заявка РСТ: KR 00/00301 (03.04.2000)  
(87) Публикация РСТ: WO 00/60751 (12.10.2000)  
(98) Адрес для переписки: 129010, Москва, ул. Большая Спасская, 25, стр.3, ООО "Юридическая фирма Городиский и Партнеры", Ю.Д.Кузнецову, рег. № 0595

(71) Заявитель: САМСУНГ ЭЛЕКТРОНИКС КО., ЛТД. (KR)  
(72) Изобретатель: КИМ Мин-Гоо (KR), КИМ Беонг-Дзо (KR), ЛИ Янг-Хван (KR)  
(73) Патентообладатель: САМСУНГ ЭЛЕКТРОНИКС КО., ЛТД. (KR)  
(74) Патентный поверенный: Кузнецов Юрий Дмитриевич

(54) АДРЕСНЫЙ ГЕНЕРАТОР И СПОСОБ ГЕНЕРИРОВАНИЯ АДРЕСА ДЛЯ ИСПОЛЬЗОВАНИЯ В ТУРБОПЕРЕМЕЖИТЕЛЕ/ОБРАЩЕННОМ ПЕРЕМЕЖИТЕЛЕ

(57) Реферат:  
Изобретение относится к турбоперемежителю /обращенному перемежителю в системе радиосвязи. В адресном генераторе первый счетчик подсчитывает множество тактовых импульсов, генерирует первый групповой счет, который индицирует один из групповых адресов блока перемежения на каждом тактовом импульсе, генерирует перенос после подсчета заданного числа тактовых импульсов, а второй счетчик принимает перенос из первого счетчика, подсчитывает его, генерирует позиционный счет, индицирующий один из позиционных адресов в каждой группе. Контроллер управляет первым и вторым счетчиками. Операционное устройство подвергает групповой счет и позиционный счет расчету по формуле

рекурсии и генерирует результирующие разряды. Буфер запоминает пригодные адреса, образованные из реверсивных разрядов, принятых от блока реверсирования разрядов, и результирующие разряды, принятые от операционного устройства. Достижимый технический результат - генерирование адреса в каждом заданном периоде для турбоперемежения/обращенного перемежения. 6 с. и 6 з.п.ф-лы, 7 ил., 9 табл.



RU 2 186 460 C1

RU 2 186 460 C1

**Address generator for turbo interleaver/deinterleaver, has first counter for counting clock pulses, second counter receiving carry and generating position count, together with controller, bit reverser, operating device and buffer**

**Patent Assignee:** SAMSUNG ELECTRONICS CO LTD

**Inventors:** KIM B; KIM B J; KIM M; KIM M G; LEE Y; LEE Y H

**Patent Family (17 patents, 28 countries)**

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
WO 2000060751	A1	20001012	WO 2000KR301	A	20000403	200061	B
AU 200036817	A	20001023	AU 200036817	A	20000403	200107	E
BR 200005569	A	20010306	BR 20005569	A	20000403	200118	E
			WO 2000KR301	A	20000403		
EP 1092270	A1	20010418	EP 2000915576	A	20000403	200123	E
			WO 2000KR301	A	20000403		
KR 2000066035	A	20001115	KR 199912859	A	19990402	200127	E
CN 1297616	A	20010530	CN 2000800461	A	20000403	200156	E
AU 746913	B	20020502	AU 200036817	A	20000403	200238	E
RU 2186460	C1	20020727	RU 2000130216	A	20000403	200262	E
			WO 2000KR301	A	20000403		
JP 2002541711	W	20021203	JP 2000610134	A	20000403	200309	E
			WO 2000KR301	A	20000403		
US 6590951	B1	20030708	US 2000541774	A	20000403	200353	E
JP 3447270	B2	20030916	JP 2000610134	A	20000403	200361	E
			WO 2000KR301	A	20000403		
EP 1092270	B1	20041027	EP 2000915576	A	20000403	200471	E
			WO 2000KR301	A	20000403		
DE 60015272	E	20041202	DE 60015272	A	20000403	200479	E
			EP 2000915576	A	20000403		
			WO 2000KR301	A	20000403		
KR 480286	B	20050406	KR 199912859	A	19990402	200568	E
CN 1140966	C	20040303	CN 2000800461	A	20000403	200578	E
IN 200000582	P2	20051216	WO 2000KR301	A	20000403	200604	E
			IN 2000KN582	A	20001201		
CA 2332990	C	20061017	CA 2332990	A	20000403	200669	E
			WO 2000KR301	A	20000403		

**Priority Application Number (Number Kind Date):** KR 199912859 A 19990402

**Patent Details**

--	--	--	--	--	--

Patent Number	Kind	Language	Pages	Drawings	Filing Notes
WO 2000060751	A1	EN	41	7	
National Designated States,Original	AU BR CA CN IN JP RU				
Regional Designated States,Original	AT BE CH CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE				
AU 200036817	A	EN			Based on OPI patent WO 2000060751
BR 200005569	A	PT			PCT Application WO 2000KR301
					Based on OPI patent WO 2000060751
EP 1092270	A1	EN			PCT Application WO 2000KR301
					Based on OPI patent WO 2000060751
Regional Designated States,Original	AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE				
AU 746913	B	EN			Previously issued patent AU 200036817
					Based on OPI patent WO 2000060751
RU 2186460	C1	RU			PCT Application WO 2000KR301
					Based on OPI patent WO 2000060751
JP 2002541711	W	JA	51		PCT Application WO 2000KR301
					Based on OPI patent WO 2000060751
JP 3447270	B2	JA	24		PCT Application WO 2000KR301
					Previously issued patent JP 200241711
					Based on OPI patent WO 2000060751
EP 1092270	B1	EN			PCT Application WO 2000KR301
					Based on OPI patent WO 2000060751
Regional Designated States,Original	DE FI FR GB IT SE				
DE 60015272	E	DE			Application EP 2000915576
					PCT Application WO 2000KR301

			Based on OPI patent EP 1092270
			Based on OPI patent WO 2000060751
KR 480286	B	KO	Previously issued patent KR 2000066035
IN 200000582	P2	EN	PCT Application WO 2000KR301
CA 2332990	C	EN	PCT Application WO 2000KR301
			Based on OPI patent WO 2000060751

### Alerting Abstract: WO A1

**NOVELTY** - The address generator has a first counter for counting clock pulses, a second counter receiving a carry from the first counter and generating a position count. There is also a controller, a bit reverser, an operating device and a buffer.

**DESCRIPTION** - The address generator comprises a first counter for counting clock pulses and generating a group count. This consists of  $k$  bits indicating one of the  $2k$  groups at each clock pulse. The counter generates a carry after counting  $2k$  clock pulses. A second counter receives the carry from the first counter, and counts the carry, to generate a position count consisting of  $n$  bits indicating one of the  $2n$  position addresses. A controller stores unavailable group count values representing the unavailable groups. Partially unavailable group count values representing the groups having both available and unavailable position addresses, are also stored. Unavailable position count values represent the unavailable position addresses. The controller also regulates the first and second counters not to output the group count and the position count, if the group count is one of the unavailable count values, or the group count is one of the partially available group count values and the position count is one of the unavailable position count values. There is also a bit reverser for receiving and reversing the  $k$  bits from the first counter. An operating device receives the group count and the position count, and determines an initial seed value corresponding to the received group count, for determining the result bits, according to a predetermined mathematical relationship. A buffer is provided for storing an available address formed from the reverse bits from the reverser, and the result bits from the operating device. **INDEPENDENT CLAIMS** are included for a method of generating available addresses.

**USE** - For generating available addresses, which are fewer than  $2k+n$  complete addresses, and in which the complete addresses are divided into  $2k$  groups each having  $2n$  position addresses, without generating unavailable complete addresses. Especially in radio communications systems such as satellite system and digital cellular system.

**ADVANTAGE** - Improves the distance property of the codewords in a turbo encoder. Maintains the clock timing in a turbo decoder to be constant. Reduces the hardware complexity in implementing a turbo decoder.

**DESCRIPTION OF DRAWINGS** - The figure shows a schematic block diagram illustrating the turbo interleaving address generator.

120 Adder

130 Look up table

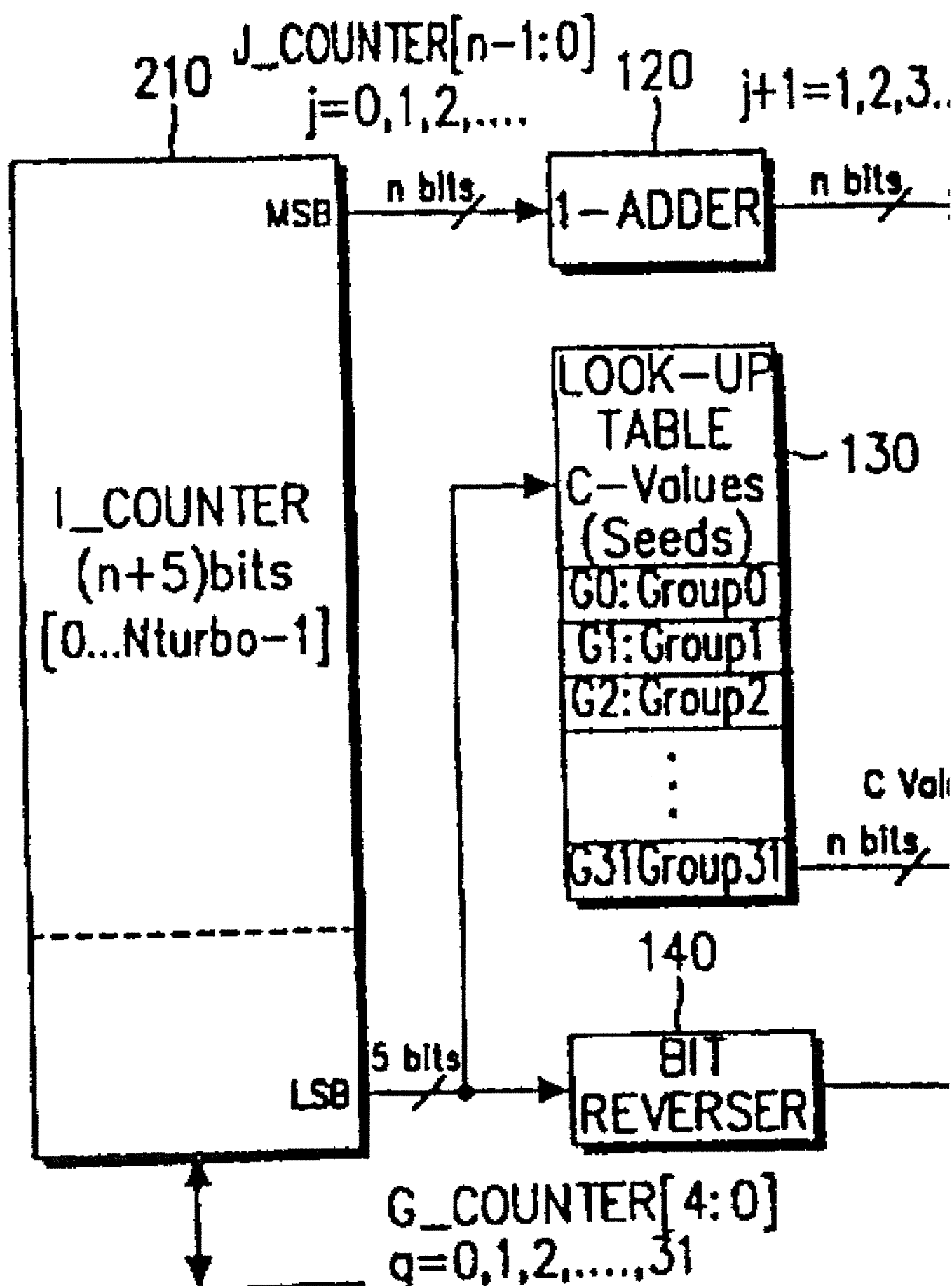
140 Bit reverser

150 Multiplication and modulo

200 Controller

210 Counter

**Main Drawing Sheet(s) or Clipped Structure(s)**



**International Classification (Main):** H03M-001/00, H03M-013/00, H03M-013/27 **(Additional/Secondary):** G06F-011/10, H03M-013/29

**International Patent Classification**

IPC	Level	Value	Position	Status	Version
H03M-0013/27	A	I		R	20060101
H03M-0013/29	A	I		R	20060101
G06F-0011/10	A	I	F	R	20060101
H03M-0013/27	A	I	F		20060101
H03M-0013/29	A	I	L		20060101
H04B-0007/216	A	I	L		20060101
H03M-0013/00	C	I		R	20060101
G06F-0011/10	C	I	F	R	20060101
H03M-0013/00	C	I	F		20060101
H03M-0013/00	C	I	L		20060101
H04B-0007/204	C	I	L		20060101

**US Classification, Issued:** 714702000, 375377000

**Original Publication Data by Authority**

**Australia**

Publication Number: AU 200036817 A (Update 200107 E)  
Publication Date: 20001023  
Assignee: SAMSUNG ELECTRONICS CO LTD; KR (SMSU)  
Language: EN  
Application: AU 200036817 A 20000403 (Local application)  
Priority: KR 199912859 A 19990402  
Related Publication: WO 2000060751 A (Based on OPI patent )  
Original IPC: H03M-13/27(A)  
Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)|AU 746913 B (Update 200238 E)  
Publication Date: 20020502  
Assignee: SAMSUNG ELECTRONICS CO LTD; KR (SMSU)  
Language: EN  
Application: AU 200036817 A 20000403 (Local application)  
Priority: KR 199912859 A 19990402  
Related Publication: AU 200036817 A (Previously issued patent) WO 2000060751 A (Based on OPI patent )  
Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

**Brazil**

Publication Number: BR 200005569 A (Update 200118 E)  
Publication Date: 20010306  
Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)  
Inventor: KIM M LEE Y KIM B  
Language: PT  
Application: BR 20005569 A 20000403 (Local application) WO 2000KR301 A 20000403 (PCT Application)  
Priority: KR 199912859 A 19990402  
Related Publication: WO 2000060751 A (Based on OPI patent )

Original IPC: H03M-13/27(A)

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

### Canada

Publication Number: CA 2332990 C (Update 200669 E)

Publication Date: 20061017

Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Inventor: LEE Y KIM B KIM M

Language: EN

Application: CA 2332990 A 20000403 (Local application) WO 2000KR301 A 20000403 (PCT Application)

Priority: KR 199912859 A 19990402

Related Publication: WO 2000060751 A (Based on OPI patent )

Original IPC: H03M-13/00(I,98,20060101,C,F) H03M-13/00(I,98,20060101,C,L) H03M-13/27(I,CA,20060101,A,F) H03M-13/29(I,CA,20060101,A,L) H04B-7/204(I,98,20060101,C,L) H04B-7/216(I,CA,20060101,A,L)

Current IPC: H03M-13/00(I,98,20060101,C,F) H03M-13/00(I,98,20060101,C,L) H03M-13/27(I,CA,20060101,A,F) H03M-13/29(I,CA,20060101,A,L) H04B-7/204(I,98,20060101,C,L) H04B-7/216(I,CA,20060101,A,L)

### China

Publication Number: CN 1140966 C (Update 200578 E)

Publication Date: 20040303

Language: ZH

Application: CN 2000800461 A 20000403 (Local application)

Priority: KR 199912859 A 19990402

Original IPC: H03M-13/27(A)

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)|CN 1297616 A (Update 200156 E)

Publication Date: 20010530

Assignee: SAMSUNG ELECTRONICS CO LTD; KR (SMSU)

Language: ZH

Application: CN 2000800461 A 20000403 (Local application)

Priority: KR 199912859 A 19990402

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

### Germany

Publication Number: DE 60015272 E (Update 200479 E)

Publication Date: 20041202

**\*\*ADRESSGENERATOR UND ADRESSERZEUGUNGSVERFAHREN ZUR ANWENDUNG IN EINEM TURBOVERSCHATELER/ENTSCHACHTELER\*\***

Assignee: SAMSUNG ELECTRONICS CO LTD; KR (SMSU)

Language: DE

Application: DE 60015272 A 20000403 (Local application) EP 2000915576 A 20000403 (Application) WO 2000KR301 A 20000403 (PCT Application)

Priority: KR 199912859 A 19990402

Related Publication: EP 1092270 A (Based on OPI patent ) WO 2000060751 A (Based on OPI patent )

Original IPC: H03M-1/00(A) H03M-13/27(B) H03M-13/29(B)

Current IPC: H03M-1/00(A) H03M-13/27(B) H03M-13/29(B)

### European Patent Office

Publication Number: EP 1092270 A1 (Update 200123 E)

Publication Date: 20010418

**\*\*ADRESSGENERATOR UND ADRESSERZEUGUNGSVERFAHREN ZUR ANWENDUNG IN EINME TURBOVERSCHACHTELER/ENTSCHACHTELER ADDRESS GENERATOR AND ADDRESS GENERATING METHOD FOR USE IN A TURBO INTERLEAVER/DEINTERLEAVER GENERATEUR D'ADRESSES ET PROCEDE CORRESPONDANT S'UTILISANT DANS UN ENTRELACEUR/DESENTRELACEUR TURBO\*\***



Assignee: Samsung Electronics Co., Ltd., 416 Maetan-dong, Paldal-ku, Suwon-shi, Kyungki-do 442-370, KR (SMSU)  
Inventor: Kim, Min-Goo, 973-3 Youngtong-dong, Paltal-gu, Suwon-shi, Kyonggi-do 442-470, KR Kim, Beong-Jo, Mujigaemaoul 201 Kumi-dong, Puntang-gu, Songnam-shi, Kyonggi-do 463-500, KR Lee, Young-Hwan, 237-3 Chongja-dong, Puntang-gu, Songnam-shi, Kyonggi-do 463-010, KR  
Agent: Eisenfuhr, Speiser Partner, Martinistrasse 24, 28195 Bremen, DE  
Language: EN

Application: EP 2000915576 A 20000403 (Local application) WO 2000KR301 A 20000403 (PCT Application)

Priority: KR 199912859 A 19990402

Related Publication: WO 2000060751 A (Based on OPI patent )

Designated States: (Regional Original) AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE

Original IPC: H03M-1/00(A)

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

Original Abstract: An address generator and an address generating method are described. In the address generator, a first counter counts a plurality of clock pulses, generates a first group count, which indicates one of the group addresses of an interleaver block, at each clock pulse, and generates a carry after counting a predetermined number of clock pulses. A second counter receives the carry from the first counter, counts the carry, and generates a position count indicating one of the position addresses in each group. If the group count is one of the unavailable group count values representative of unavailable groups, or the group count is one of partially unavailable group count values representative of groups having both available and unavailable position addresses and the first position count is one of unavailable position count values representative of unavailable position addresses, a controller controls the first and second counters not to output the first group count and the first position count. A bit reverser reverses the first count. An operating device subjects the group count and the position count to an LCS (Linear Congruential Sequence) recursion formula and generates result bits. A buffer stores an available address formed out of the reversed bits received from the bit reverser and the result bits received from the operating device. [EP 1092270 B1 (Update 200471 E)]

Publication Date: 20041027

**\*\*ADRESSGENERATOR UND ADRESSERZEUGUNGSVERFAHREN ZUR ANWENDUNG IN EINEM TURBOVERSCHATELER/ENTSCHACHTELER ADDRESS GENERATOR AND ADDRESS GENERATING METHOD FOR USE IN A TURBO INTERLEAVER/DEINTERLEAVER GENERATEUR D'ADRESSES ET PROCEDE CORRESPONDANT S'UTILISANT DANS UN ENTRELACEUR/DESENTRELACEUR TURBO\*\***

Assignee: Samsung Electronics Co., Ltd., 416 Maetan-dong, Paldal-ku, Suwon-shi, Kyungki-do 442-370, KR  
Inventor: Kim, Min-Goo, 973-3 Youngtong-dong, Paltal-gu, Suwon-shi, Kyonggi-do 442-470, KR Kim, Beong-Jo, Mujigaemaoul 201 Kumi-dong, Puntang-gu, Songnam-shi, Kyonggi-do 463-500, KR Lee, Young-Hwan, 237-3 Chongja-dong, Puntang-gu, Songnam-shi, Kyonggi-do 463-010, KR  
Agent: Grunecker, Kinkeldey, Stockmair Schwanhauser, Anwaltssozietat, Maximilianstrasse 58, 80538 Munchen, DE  
Language: EN

Application: EP 2000915576 A 20000403 (Local application) WO 2000KR301 A 20000403 (PCT Application)

Priority: KR 199912859 A 19990402

Related Publication: WO 2000060751 A (Based on OPI patent )

Designated States: (Regional Original) DE FI FR GB IT SE

Original IPC: H03M-1/00(A) H03M-13/27(B) H03M-13/29(B)

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

Claim: 1. Adressen-Generator, angepasst um verfügbare Adressen entsprechend für eine Verschachtelungseinrichtung und eine Entschachtelungseinrichtung zu erzeugen, ohne nicht verfügbare, vollständige Adressen zu erzeugen, wo bei die verfügbaren Adressen weniger als  $2k+n$  vollständige Adressen sind und die vollständigen Adressen in  $2k$  Gruppen unterteilt werden, von denen jede  $2n$  Positions-Adressen besitzt, wobei der Adressen-Generator aufweist: \* einen ersten Zähler (212), angepasst um eine Vielzahl von Taktpulsen zu zählen, um eine Gruppen-Zahl zu erzeugen, die aus  $k$  Bits besteht und eine der  $2k$  Gruppen an jedem Taktpuls anzeigt, und um einen Übertrag nach dem Zählen von  $2k$  Taktpulsen zu erzeugen; \* einen zweiten Zähler (214), angepasst um den Übertrag von dem ersten Zähler (212) zu empfangen, um den Übertrag zu zählen, und um eine Positions-Zahl zu erzeugen, die aus  $n$  Bits besteht und eine der  $2^n$  Positions-Adressen anzeigt; \* einen Bit-Invertierer (140), angepasst um die  $k$  Bits von dem ersten Zähler (212) zu empfangen und zu invertieren; und \* eine Operationsvorrichtung (150), angepasst um die Gruppen-Zahl und die Positions-Zahl zu empfangen, um einen Anfangs-Seed-Wert entsprechend der empfangenen Gruppen-Zahl zu bestimmen und um Ergebnis-Bits unter Durchführen einer linearen, kongruenten Folge-Operation (Linear Co

congruential Sequence Operation, LSC operation) zu bestimmen, basierend auf der Gleichung: Ergebnis-Bits = (Anfangs-Seed-Wert) \* (Positions-Zahl + 1) modulo  $2^n$ ; wobei eine verfügbare Adresse von den invertierten Bit s, empfangen von dem Bit-Invertierer (140), und den Ergebnis-Bits, empfangen von der Operationsvorrichtung (150), gebildet wird; wobei der Adressen-Generator \*\*dadurch gekennzeichnet ist, dass\*\* er weiterh in aufweist: \* eine Steuereinheit (200), angepasst um nicht verfügbare Gruppen-Zahlwerte, die die nicht verfügbaren Gruppen darstellen, teilweise nicht verfügbare Gruppen-Zahlwerte, die die Gruppen darstellen, die sowohl verfügbare als auch nicht verfügbare Positions-Adressen haben, und nicht verfügbare Positions-Zahlwerte, die die nicht verfügbaren Position s-Adressen darstellen, zu speichern, und \* um den ersten (212) und den zweiten (214) Zähler so zu steuern, um nicht die Gruppen-Zahl und die Positions-Zahl auszugeben, falls die Gruppen-Zahl einer der nicht verfügbaren Gruppen-Zahlwerte ist oder die Gruppen-Zahl eine der teilweise nicht verfügbaren Gruppen-Zahlwerte ist und die Positions-Zahl eine der nicht verfügbaren Positions-Zahlwerte ist. 1. An address generator adapted to generate available addresses for an interleaver and a deinterleaver, respectively, said available addresses being fewer than  $2k+n$  complete addresses, said complete addresses being divided into  $2k$  groups each having  $2^n$  position addresses, without generating unavailable complete addresses, the address generator comprising: \* a first counter (212) adapted to count a plurality of clock pulses, to generate a group count consisting of  $k$  bits indicating one of the  $2k$  groups at each clock pulse, and to generate a carry after counting  $2k$  clock pulses; \* a second counter (214) adapted to receive the carry from the first counter (212), to count the carry, and to generate a position count consisting of  $n$  bits indicating one of the  $2^n$  position addresses; \* a bit reverser (140) adapted to receive and to reverse the  $k$  bits from the first counter (212); and \* an operating device (150) adapted to receive the group count and the position count, to determine an initial seed value corresponding to the received group count and to determine result bits by performing a linear congruential sequence, LSCs, operation based on the equation: result bits = (initial seed value) \* (position count + 1) modulo  $2^n$ ; wherein an available address is formed out of the reversed bits received from the bit reverser (140) and the result bits received from the operating device (150); said address generator being \*\*characterized by\*\* further comprising a controller (200) adapted to store unavailable group count values representing the unavailable groups, partially unavailable group count values representing the groups having both available and unavailable position addresses, and unavailable position count values representing the unavailable position addresses, and to control the first (212) and second (214) counter to not output the group count and the position count if the group count is one of the unavailable group count values, or the group count is one of the partially unavailable group count values and the position count is one of the unavailable position count values. 1. Générateur d'adresses conçu pour produire des adresses disponibles respectivement pour un dispositif d'entrelacement et pour un dispositif de désentrelacement, lesdites adresses disponibles étant en un nombre inférieur à  $2k+n$  adresses complètes, lesdites adresses complètes étant divisées en  $2k$  groupes ayant chacun  $2^n$  adresses de position, sans produire d'adresses complètes indisponibles, le générateur d'adresses comprenant : \* un premier compteur (212) conçu pour compter une pluralité d'impulsions d'horloge, pour produire un compte de groupe consistant en  $k$  bits indiquant l'un des  $2k$  groupes à chaque impulsion d'horloge, et produire une retenue après le comptage de  $2k$  impulsions d'horloge; \* un second compteur (214) conçu pour recevoir la retenue en provenance du premier compteur (212), pour compter la retenue, et pour produire un compte de position consistant en  $n$  bits indiquant l'une des  $2^n$  adresses de position; \* un inverseur de bit (140) conçu pour recevoir et inverser les  $k$  bits du premier compteur (212); et \* un dispositif de mise en oeuvre (150) conçu pour recevoir le compte de groupe et le compte de position, pour déterminer une valeur initiale d'amorçage correspondant au compte de groupe reçu et pour déterminer des bits de résultat en effectuant une séquence congruentielle linéaire, LCS, opération basée sur l'équation: bits de résultat = (valeur initiale d'amorçage) \* (compte de position + 1) modulo  $2^n$  ou une adresse disponible est formée à partir des bits inversés reçus en provenance de l'inverseur de bit (140) et des bits de résultat reçus en provenance du dispositif de mise en oeuvre (150); ledit générateur d'adresses étant caractérisé comme comprenant de plus: \* une unité de commande (200) conçue pour stocker des valeurs de compte de groupe indisponible représentant les groupes indisponibles, des valeurs de compte de groupe partiellement indisponible représentant les groupes ayant des adresses de position tant disponibles qu'indisponibles, et des valeurs de compte de position indisponible représentant les adresses de positions indisponibles, et \* pour commander le premier (212) et le second (214) compteur pour ne pas sortir le compte de groupe et le compte de position si le compte de groupe est l'une des valeurs de compte de groupe indisponible, ou si le compte de groupe est l'une des valeurs de compte de groupe partiellement indisponible et si le compte de position est l'une des valeurs de compte de position indisponible.

## India

Publication Number: IN 200000582 P2 (Update 200604 E)

Publication Date: 20051216

Assignee: SAMSUNG ELECTRONICS CO LTD; KR (SMSU)

Inventor: KIM M KIM B LEE Y

Language: EN

Application: WO 2000KR301 A 20000403 (PCT Application) IN 2000KN582 A 20001201 (Local application)

Priority: KR 199912859 A 19990402

Original IPC: H03M-13/27(A)

Current IPC: H03M-13/27(A)

## **Japan**

Publication Number: JP 2002541711 W (Update 200309 E)

Publication Date: 20021203

Language: JA (51 pages)

Application: JP 2000610134 A 20000403 (Local application) WO 2000KR301 A 20000403 (PCT Application)

Priority: KR 199912859 A 19990402

Related Publication: WO 2000060751 A (Based on OPI patent )

Original IPC: H03M-13/27(A) G06F-11/10(B) H03M-13/29(B)

Current IPC: H03M-13/27(A) G06F-11/10(B) H03M-13/29(B)|JP 3447270 B2 (Update 200361 E)

Publication Date: 20030916

Language: JA (24 pages)

Application: JP 2000610134 A 20000403 (Local application) WO 2000KR301 A 20000403 (PCT Application)

Priority: KR 199912859 A 19990402

Related Publication: JP 200241711 A (Previously issued patent) WO 2000060751 A (Based on OPI patent )

Original IPC: H03M-13/27(A) G06F-11/10(B) H03M-13/29(B)

Current IPC: G06F-11/10(R,I,M,JP,20060101,20051220,A,F) G06F-11/10(R,I,M,JP,20060101,20051220,C,F) H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

## **Republic of Korea**

Publication Number: KR 2000066035 A (Update 200127 E)

Publication Date: 20001115

Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Inventor: KIM M G KIM B J LEE Y H

Language: KO

Application: KR 199912859 A 19990402 (Local application)

Original IPC: H03M-13/00(A)

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)|KR 480286 B (Update 200568 E)

Publication Date: 20050406

Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Inventor: KIM M G KIM B J LEE Y H

Language: KO

Application: KR 199912859 A 19990402 (Local application)

Related Publication: KR 2000066035 A (Previously issued patent)

Original IPC: H03M-13/00(A)

Current IPC: H03M-13/00(A)

## **Russia**

Publication Number: RU 2186460 C1 (Update 200262 E)

Publication Date: 20020727

Assignee: SAMSUNG ELECTRONICS CO LTD; KR (SMSU)

Language: RU

Application: RU 2000130216 A 20000403 (Local application) WO 2000KR301 A 20000403 (PCT Application)

Priority: KR 199912859 A 19990402

Related Publication: WO 2000060751 A (Based on OPI patent )

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

## **United States**

Publication Number: US 6590951 B1 (Update 200353 E)

Publication Date: 20030708

**\*\*Address generator and address generating method for use in a turbo interleaver/deinterleaver\*\***

Assignee: Samsung Electronics Co., Ltd., KR

Inventor: Kim, Min-Goo, Suwon-shi, KR Kim, Beong-Jo, Songnam-shi, KR Lee, Young-Hwan, Songnam-shi, KR

Agent: Dilworth Barrese, LLP, US

Language: EN

Application: US 2000541774 A 20000403 (Local application)

Priority: KR 199912859 A 19990402

Original IPC: H04L-23/00(A)

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

Original US Class (secondary): 714702 375377

Original Abstract: An address generator and an address generating method are described. In the address generator, a first counter counts a plurality of clock pulses, generates a first group count, which indicates one of the group addresses of an interleaver block, at each clock pulse, and generates a carry after counting a predetermined number of clock pulses. A second counter receives the carry from the first counter, counts the plurality of carries, and generates a position count indicating one of the position addresses in each group. If the group count is one of the unavailable group count values representative of unavailable groups, or the group count is one of partially unavailable group count values representative of groups having both available and unavailable position addresses and the first position count is one of unavailable position count values representative of unavailable position addresses, a controller controls the first and second counters not to output the first group count and the first position count. A bit reverser reverses the first count. An operating device subjects the group count and the position count to an LCS (Linear Congruential Sequence) recursion formula and generates result bits. A buffer stores an available address formed out of the reversed bits received from the bit reverser and the result bits received from the operating device.

Claim: What is claimed is: 1.1. An address generator for generating available addresses, said available addresses being fewer than  $2k+n$  complete addresses, said complete addresses being divided into  $2k$  groups each having  $2n$  position addresses, without generating unavailable complete addresses, the address generator comprising: \* a first counter for counting a plurality of clock pulses, for generating a group count consisting of  $k$  bits indicating one of the  $2k$  groups at each clock pulse, and for generating a carry after counting  $2k$  clock pulses; \* a second counter for receiving the carry from the first counter, for counting the carry, and for generating a position count consisting of  $n$  bits indicating one of the  $2n$  position addresses; \* a controller for storing unavailable group count values representing the unavailable groups, partially unavailable group count values representing the groups having both available and unavailable position addresses, and unavailable position count values representing the unavailable position addresses, and for controlling the first and second counters not to output the group count and the position count if the group count is one of the unavailable group count values, or the group count is one of the partially unavailable group count values and the position count is one of the unavailable position count values; \* a bit reverser for receiving and reversing the  $k$  bits from the first counter; \* an operating device for receiving the group count and the position count, for determining an initial seed value corresponding to the received group count, for determining result bits based on the equation:  $(\text{initialseedvalue}) * (\text{positioncount} + 1) \text{ modulo } 2n$ ; and \* a buffer for storing an available address formed out of the reverse bits received from the bit reverser and the result bits received from the operating device.

## WIPO

Publication Number: WO 2000060751 A1 (Update 200061 B)

Publication Date: 20001012

**\*\*ADDRESS GENERATOR AND ADDRESS GENERATING METHOD FOR USE IN A TURBO INTERLEAVER/DEINTERLEAVER GENERATEUR D'ADRESSES ET PROCEDE CORRESPONDANT S'UTILISANT DANS UN ENTRELACEUR/DESENTRELACEUR TURBO\*\***

Assignee: SAMSUNG ELECTRONICS CO., LTD., 416, Maetan-dong, Paldal-gu, Suwon-shi, Kyungki-do 442-370, KR Residence: KR Nationality: KR (SMSU)

Inventor: KIM, Min-Goo, 973-3, Youngtong-dong, Paltal-gu, Suwon-shi, Kyonggi-do 442-470, KR KIM, Beong-Jo, Mujigaemaoul #201, Kumi-dong, Puntang-gu Songnam-shi, Kyonggi-do 463-500, KR LEE, Young-Hwan, 237-3, Chongja-dong, Puntang-gu, Songnam-shi, Kyonggi-do 463-010, KR

Agent: LEE, Keon-Joo, Mihwa Bldg. 110-2, Myongryun-dong 4-ga, Chongro-gu, Seoul 110-524, KR

Language: EN (41 pages, 7 drawings)

Application: WO 2000KR301 A 20000403 (Local application)

Priority: KR 199912859 A 19990402

Designated States: (National Original) AU BR CA CN IN JP RU (Regional Original) AT BE CH CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE

Original IPC: H03M-13/27(A)

Current IPC: H03M-13/00(R,I,M,EP,20060101,20051008,C) H03M-13/27(R,I,M,EP,20060101,20051008,A) H03M-13/29(R,I,M,EP,20060101,20051008,A)

Original Abstract: An address generator and an address generating method are described. In the address generator, a first counter counts a plurality of clock pulses, generates a first group count, which indicates one of the group addresses of an interleaver block, at each clock pulse, and generates a carry after counting a predetermined number of clock pulses. A second counter receives the carry from the first counter, counts the carry, and generates a position count indicating one of the position addresses in each group. If the group count is one of the unavailable group count values representative of unavailable groups, or the group count is one of partially unavailable group count values representative of groups having both available and unavailable position addresses and the first position count is one of unavailable position count values representative of unavailable position addresses, a controller controls the first and second counters not to output the first group count and the first position count. A bit reverser reverses the first count. An operating device subjects the group count and the position count to an LCS (Linear Congruential Sequence) recursion formula and generates result bits. A buffer stores an available address formed out of the reversed bits received from the bit reverser and the result bits received from the operating device. Cette invention concerne un generateur d'adresses et un procede de generation d'adresses. Dans le generateur d'adresses, un premier compteur compte une pluralite d'impulsions d'horloge, genere un premier comptage de groupe qui indique l'une des adresses de groupe d'un bloc d'entrelacement, a chaque impulsion d'horloge, et genere un report apres comptage d'un nombre determine d'impulsions d'horloge. Un second compteur recoit le report du premier compteur, fait le decompte du report, genere un compte de position indiquant l'une des adresses de position dans chaque groupe. Si le comptage de groupe est l'une des valeurs de comptage de groupe non disponibles representatives de groupes non disponibles, ou bien si le comptage de groupe correspond a l'une des valeurs de groupe partiellement non disponibles representatives de groupes assortis d'adresses de position a la fois disponibles et non disponibles et que le comptage de premiere position est une valeur de comptage de position non disponible representative de positions d'adresses non disponible, une unite de commande commande aux premier et au second compteurs de ne pas proceder aux comptages de premier groupe et de premiere position. Un inverseur binaire inverse le premier comptage. Un dispositif operationnel soumet le comptage de groupe et le comptage de position a une formule de recursion a sequence congruente lineaire (LCS) et genere des bits de resultat. Une memoire tampon stocke une adresse disponible formee a partir des bits inverses recus de l'inverseur binaire et des bits de resultat recus du dispositif operationnel.

Derwent World Patents Index

© 2007 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 10323952



(19) **RU** <sup>(11)</sup> **2 186 460** <sup>(13)</sup> **C1**  
 (51) Int. Cl.<sup>7</sup> **H 03 M 13/27**

RUSSIAN AGENCY  
 FOR PATENTS AND TRADEMARKS

## (12) ABSTRACT OF INVENTION

(21), (22) Application: 2000130216/09, 03.04.2000  
 (24) Effective date for property rights: 03.04.2000  
 (30) Priority: 02.04.1999 KR 1999/12859  
 (46) Date of publication: 27.07.2002  
 (85) Commencement of national phase: 01.12.2000  
 (86) PCT application:  
 KR 00/00301 (03.04.2000)  
 (87) PCT publication:  
 WO 00/60751 (12.10.2000)  
 (98) Mail address:  
 129010, Moskva, ul. Bol'shaja Spasskaja, 25,  
 str.3, OOO "Juridicheskaja firma Gorodisskij  
 i Partnery", Ju.D.Kuznetsovu, reg. № 0595

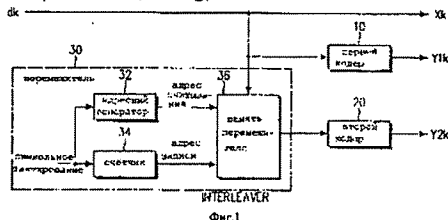
(71) Applicant:  
 SAMSUNG EHLEKTRONIKS KO., LTD. (KR)  
 (72) Inventor: KIM Min-Goo (KR),  
 KIM Beong-Dzo (KR), LI Jang-Khvan (KR)  
 (73) Proprietor:  
 SAMSUNG EHLEKTRONIKS KO., LTD. (KR)  
 (74) Representative:  
 Kuznetsov Jurij Dmitrievich

## (54) ADDRESS GENERATOR AND METHOD FOR GENERATING ADDRESS TO BE USED IN TURBO-MULTIPLIER/INVERTED MULTIPLIER

### (57) Abstract:

FIELD: turbo-multipliers/inverted multipliers for radio communications.  
 SUBSTANCE: first counter of address generator functions to count plurality of clock pulses, to generate first group count that initiates one of group addresses of multiplication block at each clock pulse, and to generate carry upon counting desired number of clock pulses; second counter receives carry from first counter, counts it, generates position count initiating one of position addresses in each group. Controller functions to control first and second counters. Operating device computes group count and position count using recursion formula and generates resultant

bits. Buffer memorizes valid addresses formed from inverted bits received from bit inversion block and resultant bits accepted from operating device. EFFECT: provision for address generation during each desired period for turbo-multiplier/inverted multiplier. 12 cl, 7 dwg, 1 tbl



RU 2 186 460 C1

RU 2 186 460 C1

Область техники, к которой относится изобретение

Настоящее изобретение относится в целом к турбоперемежителю/обращенному перемежителю в системе радиосвязи и в частности, к адресному генератору и способу генерирования адреса для использования в турбоперемежителе/обращенном перемежителе.

Уровень техники

Турбокодер (т. е. кодер, использующий турбокоды) может использоваться в качестве кодера для системы радиосвязи, такой как спутниковая система, ЦСКУ (цифровая сеть с комплексными услугами), цифровая система сотовой связи, Ш-МДКР (широкополосная система множественного доступа с кодовым разделением каналов) и международная система мобильной связи-2000 IMT-2000 (МДКР-2000). Турбокодер включает в себя перемежитель, который рандомизирует информацию, вводимую в турбокодер. Перемежитель является существенным фактором в характеристике турбокодера, потому что он улучшает разнесение кодовых слов.

Фиг. 1 представляет собой блок-схему турбокодера с турбоперемежителем, к которому применимо настоящее изобретение. Подробности см. в патенте США 5446747, опубликованном 19 августа 1995 года.

На фиг. 1 турбокодер содержит первый основной кодер 10 для кодирования входных кадровых данных  $d_k$  в  $Y1_k$ , перемежитель 30 для перемежения входных кадровых данных  $d_k$  и второй основной кодер 20 для кодирования выходного сигнала перемежителя 30 в  $Y2_k$ . Для входных данных  $d_k$  на фиг.1 показаны выходы турбо кодера  $X_k$  без кодирования,  $Y1_k$  после кодирования и  $Y2_k$  после перемежения и кодирования. Первый и второй основной кодеры 10 и 20 могут быть РСС (рекурсивными систематическими сверточными) кодерами, которые общеизвестны в уровне техники. Основные кодеры могут изменяться по конструкции в зависимости от их скорости передачи кода.

Перемежитель 30, имея длину перемежения, равную длине кадра данных, изменяет порядок в последовательности битов входных данных и выводит биты данных с измененным порядком на второй основной кодер 20, снижая тем самым корреляцию между битами данных.

Перемежитель 30 включает в себя адресный генератор 32, счетчик 34 и память 36 перемежителя. Память 36 перемежителя запоминает входные кадровые данные  $d_k$  согласно адресам записи, принятым от счетчика 34, и выдает данные согласно адресам считывания, принятым от адресного генератора 32. Адресный генератор 32 генерирует адрес считывания, который используется для переупорядочивания битов данных, и подает этот адрес считывания в память 36 перемежителя. Адрес считывания генерируется согласно длине кадра входных данных и символному тактовому сигналу. Счетчик 34 принимает символные тактовые импульсы и выдает подсчитанное значение символных тактовых импульсов в качестве адреса записи в память 36 перемежителя. Перемежитель 30 выводит данные,

запомненные в памяти 36 перемежителя, на второй основной кодер 20.

В качестве внутреннего перемежителя для турбокодера могут использоваться различные перемежители, такие как ПШ (псевдoshумовой) случайный перемежитель, случайный перемежитель, блочный перемежитель, нелинейный перемежитель или S-случайный перемежитель. Эти перемежители, однако, используют алгоритмы, разработанные в академической среде для целей улучшения характеристик, а не алгоритмы, разработанные из практических задач. Эти перемежители часто не осуществимы из-за сложности их воплощения в аппаратуре.

В описании IMT-2000 и в описании IS-95C турбокодер линейной конгруэнтной последовательности (ЛКП), составленный, как показано на фиг.1, в последнее время принят в качестве турбокодера. Конкретно, предусмотрено, что турбокоды должны использоваться для дополнительного канала, который является каналом передачи по эфирному интерфейсу IMT-2000 и IS-95C, и для канала данных в УСМС (универсальная система мобильной связи), разработанным ЕИСЭ (Европейским институтом стандартов электросвязи).

Фиг. 2 является блок-схемой адресного генератора 32, показанного на фиг. 1.

На фиг. 2 нижние 5 битов или младшие двоичные разряды (МДР) выходного сигнала входного счетчика 110 подаются в просмотрную таблицу 130 для запоминания значений начальных чисел (С-значений) каждой группы и блок 140 реверсирования разрядов. 5 нижних битов индицируют одну из  $2^5$  групп перемежающихся блоков, которая определяется согласно размеру перемежителя. Блок 140 реверсирования разрядов реверсирует младшие 5 разрядов и прикладывает реверсированные разряды к наивысшей позиции или старшим двоичным разрядам (СДР) генератора 160 выбора адреса. Просмотровая таблица 130 подает  $n$ -разрядное С-значение, основанное на введенных младших 5 разрядах, в устройство 150 перемножения и сложения по модулю.

В то же время старшие 5 разрядов или СДР, выданные из внутреннего счетчика 110, подаются в первый сумматор 120. Здесь старшие  $n$  разрядов индицируют один из  $2^n$  адресов в каждой группе и используются в качестве переменной для изменения порядка битов данных в группе. Первый сумматор 110 добавляет 1 к принятым старшим  $n$  разрядам и подает сумму на устройство 150 перемножения и сложения по модулю. Устройство 150 перемножения и сложения по модулю подвергает входные  $n$  разрядов и начальное  $n$ -разрядное значение С каждой группы перемножению и сложению по модулю, а затем подает результат на генератор 160 выбора адреса. Сложение по модулю относится к остальным младшим  $n$  разрядам суммы, получающейся из перемножения выхода сумматора 120 на выход просмотрной таблицы 130. Генератор 160 выбора адреса формирует адрес, в котором выходом блока 140 реверсирования разрядов для турбоперемежения являются старшие 5 разрядов, СДР, а выходом устройства 150 перемножения и сложения по модулю являются младшие  $n$  разрядов МДР.



Если формируемый адрес больше или равен размеру адреса турбоперемежителя, генератор 160 выбора адреса отбрасывает этот адрес. Т.е. генератор 160 выбора адреса выводит адрес только если он меньше, чем размер адреса турбоперемежителя. Выведенный адрес подается в качестве адреса для памяти перемежителя, показанной на фиг.1.

Поскольку многие из адресов, выводимых из адресного генератора, показанного на фиг.2, перфорируются (выбраковываются), адреса генерируются прерывисто. В результате аппаратная сложность возрастает при создании реальной системы.

Прерывистое генерирование адресов делает невозможной регулярную адресацию, что подразумевает невозможность поддерживать постоянным тактирование турбодекодера в реальном аппаратном воплощении, потому что синхронизация турбодекодера базируется на символьном тактовом сигнале или адресующем тактовом сигнале перемежителя.

Сущность изобретения

Таким образом, задача настоящего изобретения заключается в создании адресного генератора и способа генерирования адреса в системе радиосвязи, которые генерируют адрес в каждом заданном периоде для турбоперемежения/обращенного перемежения.

Другая задача настоящего изобретения заключается в создании адресного генератора и способа генерирования адреса в системе радиосвязи, которые поддерживают постоянным тактирование турбодекодера.

Еще одна задача настоящего изобретения заключается в создании адресного генератора и способа генерирования адреса в системе радиосвязи, которые устраняют аппаратную сложность при осуществлении турбодекодера.

Эти и иные задачи решаются путем создания адресного генератора и способа генерирования адреса. Согласно одному аспекту настоящего изобретения адресный генератор генерирует пригодные адреса, которых меньше, чем  $2^{k+n}$ , и которые поделены на  $2^k$  групп, каждая из которых имеет  $2^n$  позиционных адресов без перфорирования (выбраковывания) адресов из непригодных групп и непригодных адресов из групп, в которых пригодные адреса имеются частично. В адресном генераторе первый счетчик подсчитывает тактовые импульсы, генерирует первое значение группового счета, состоящее из k разрядов и индицирующее одну из  $2^k$  групп на каждом тактовом импульсе, и генерирует перенос после подсчета  $2^k$  тактовых импульсов.

Второй счетчик принимает перенос от первого счетчика, подсчитывает переносы и генерирует первое значение позиционного счета, состоящее из n разрядов и индицирующее один из  $2^n$  позиционных адресов. Контроллер запоминает вторые значения группового счета, представляющие непригодные группы, третьи значения группового счета, представляющие группы как с пригодными, так и с непригодными позиционными адресами, и вторые значения позиционного счета, представляющие

непригодные позиционные адреса. Если первое значение группового счета является одним из вторых значений группового счета или же первое значение группового счета является одним из третьих значений группового счета и первое значение позиционного счета является одним из вторых значений позиционного счета, контроллер управляет первым и вторым счетчиками и так, чтобы они не выводили первое значение группового счета и первое значение позиционного счета.

Блок реверсирования разрядов принимает k разрядов от первого счетчика и реверсирует эти k разрядов (изменяет порядок их следования на обратный). Операционное устройство принимает первое значение группового счета и первое значение позиционного счета, осуществляет над принятыми значениями счета операцию  $C \cdot (j+1) \bmod 2^n$  (C - значение начального числа, соответствующее первому значению группового счета, а j - первое значение позиционного счета) и генерирует результат i. Буфер запоминает пригодные адреса, образованные из реверсированных разрядов, принятых от блока реверсирования разрядов, и разряды i, принятые от операционного устройства.

Краткое описание чертежей

Вышеуказанные и другие задачи, признаки и преимущества настоящего изобретения станут понятны из нижеследующего подробного описания при рассмотрении его с сопровождающими чертежами, на которых:

Фиг.1 представляет собой блок-схему типичного турбоперемежителя, к которому применимо настоящее изобретение;

Фиг. 2 представляет собой блок-схему обычного адресного генератора для турбоперемежения;

Фиг. 3 представляет собой блок-схему адресного генератора для турбоперемежения согласно предпочтительному примеру выполнения настоящего изобретения;

Фиг.4 представляет собой подробную блок-схему входного счетчика по фиг.3 согласно предпочтительному примеру выполнения настоящего изобретения;

Фиг. 5 является блок-схемой алгоритма, иллюстрирующего вариант способа генерирования адреса согласно предпочтительному примеру выполнения настоящего изобретения;

Фиг. 6 является блок-схемой алгоритма другого варианта способа генерирования адреса согласно предпочтительному примеру выполнения настоящего изобретения;

Фиг.7 иллюстрирует пример операций счета во входном счетчике, показанном на фиг. 4, согласно предпочтительному примеру выполнения настоящего изобретения.

Подробное описание предпочтительных примеров выполнения

Ниже со ссылками на сопровождающие чертежи будут описаны предпочтительные примеры выполнения настоящего изобретения. В нижеследующем описании общеизвестные функции или конструкции не описываются подробно, поскольку они затемняли бы изобретение ненужными подробностями.

Изобретатель настоящего изобретения обнаружил, что непригодные адреса генерируются в соответствии с определенным



правилом. Как установлено выше, непригодные адреса представляют собой адреса, большие или равные размеру турбоперемежителя (или длине входного кадра), и, таким образом, должны быть отброшены. Правило будет описано дальше. В предпочтительном примере выполнения настоящего изобретения исходные значения, из которых генерируются непригодные адреса, заранее пропускаются, используя регулярность среди непригодных адресов. В результате пригодные адреса для турбоперемежителя/обращенного перемежителя генерируются непрерывно для каждого заданного периода, так что трудность, связанная с прерывистым генерированием, преодолевается.

В соответствии с предпочтительным примером выполнения настоящего изобретения адресный генератор для турбоперемежителя построен, как показано на фиг. 3, для генерирования только пригодных адресов в течение каждого заданного периода. Поскольку турбообращенное перемежение является обратной операцией к турбоперемежению, настоящее изобретение применимо как к турбообращенному перемежителю, так и к турбоперемежителю. Очевидно, поэтому, хотя предпочтительный пример выполнения настоящего изобретения описывается в контексте турбоперемежителя, оно может быть применено и к турбообращенному перемежителю. В дополнение, нижеследующее описание проводится с помощью примера в предположении, что число перемежающихся групп равно  $2^5 (=32)$ , но это может быть любое число  $2^k$ , как будет позже описано ниже.

Фиг. 3 является блок-схемой адресного генератора согласно предпочтительному примеру выполнения настоящего изобретения.

На фиг. 3 адресный генератор предпочтительного примера выполнения включает в себя контроллер 200, входной счетчик (BX\_СЧЕТЧИК) 210 и блоки 120-150 генерирования адреса для рандомизации входных адресов и генерирования адресов турбоперемежения из рандомизированных адресов. Сумматор 120, просмотревшая таблица 130, блок 140 реверсирования разрядов и устройство 150 перемножения и сложения по модулю являются типичными компонентами, как это рассмотрено в общепринятом адресном генераторе, показанном на фиг.2. Другие компоненты - контроллер 200 и счетчик 210 - характерны для предпочтительного примера выполнения настоящего изобретения.

Контроллер 200 преобразует заданное значение размера турбоперемежителя (длину входного кадра)  $N_{turbo}$  в соответствующее двоичное число и путем анализа этого двоичного числа определяет, какие адреса следует отбросить среди адресов, которые могут быть сгенерированы. Здесь для отбрасывания выбираются адреса, больше или равные  $N_{turbo}$ . Входной счетчик 210 под управлением контроллера 200 непрерывно выдает адресные разряды для использования при генерировании остальных адресов.

Конкретно, контроллеру 200 необходимо анализировать старшие 5 разрядов - СДР (первый порог) адреса конечного двоичного числа, представляющего число

перемежающихся блоковых групп, для определения, какие адреса имеют старшие 5 разрядов больше, чем первый порог, и отбросить их. Однако, когда адрес конечного двоичного числа выводится из адресного буфера 220, уже слишком поздно гарантировать, что выходной адрес является пригодным. Поэтому в предпочтительном примере выполнения настоящего изобретения контроллер анализирует младшие 5 разрядов - МДР, подлежащие выведению из входного счетчика 210, потому что эти пять МДР, будучи реверсированы в блоке 140 реверсирования разрядов, становятся пятью СДР конечного выходного адреса. Таким образом, контроллер может исключить непригодные адреса до того, как они будут созданы. Входной счетчик 210 под управлением контроллера 200 лишь выводит исходные разряды, которые будут генерировать пригодные адреса.

Когда входной счетчик 210 собирается генерировать исходные разряды (5 МДР), которые будут генерировать выходной адрес с пятью СДР, равными первому порогу, контроллер 200 управляет входным счетчиком 210 на основании оставшихся исходных разрядов, а именно п СДР, подлежащих выведению из входного счетчика 210. В отношении конечного выходного адреса, когда он имеет старшие 5 разрядов, равными первому порогу, он будет отброшен, если полный адрес (равный старшим 5 разрядам и младшим п разрядам) больше или равен  $N_{turbo}$ . С другой стороны, если полный конечный выходной адрес (равный старшим 5 разрядам и младшим п разрядам) меньше, чем  $N_{turbo}$ , этот полный адрес может быть использован. Поэтому определение того, какие адреса выборочно генерировать или отбрасывать, зависит от младших п разрядов (второй порог) двоичного числа. По отношению ко входному счетчику 210 это означает, что контроллер должен управлять входным счетчиком 210 так, чтобы он вырабатывал только старшие п, т. е. СДР, исходные разряды, которые завершат генерирование младших п, т.е. МДР, выходных разрядов, которые меньше второго порога.

Входной счетчик 210 под управлением контроллера 200 не выдает никаких значений счета или исходных разрядов, которые будут генерировать выходные адреса больше или равные  $N_{turbo}$ , как установлено выше. По сравнению со счетчиком 110 прототипа, который выдает значения счета  $[0...2^{n+5}-1]$ , включая и значения счета, которые будут генерировать адреса больше или равные  $N_{turbo}$ , и тем самым подлежащие отбрасыванию, входной счетчик 210 выдает значения счета  $[0...N_{turbo}-1]$ , которые будут генерировать только адреса меньше, чем  $N_{turbo}$ . Способ, которым контроллер 200 определяет, какие адреса подлежат отбрасыванию, и операция счета входного счетчика 210 будет пояснена в нижеследующем описании со ссылками на таблицы.

На фиг. 3 рандомизирующий блок, включающий в себя сумматор 120, просмотревшую таблицу 130, блок 140 реверсирования разрядов и устройство 150 перемножения и сложения по модулю,

рандимирует входную адресную последовательность, подсчитываемую (или выводимую) входным счетчиком 210. В нижеследующем описании исходные разряды, выводимые входным счетчиком 210, будут называться входным адресом, тогда как конечные разряды, поступающие в выходной адресный буфер 220, будут называться выходным адресом. Сумматор 120 прибавляет конкретное значение "1" к старшим  $n$  разрядам входного адреса. Предположим, что принятое значение старших  $n$  разрядов,  $j=0, 1, 2, \dots$ , сумматор 120 выводит  $j+1=1, 2, 3, \dots$ . Просмотровая таблица 130 хранит множество начальных чисел (или  $C$ -значений), соответствующих конкретным группам, и выдает  $n$ -разрядное значение начального числа, соответствующее группе, представленной младшими пятью разрядами входного адреса.

Устройство 150 перемножения и сложения по модулю подвергает выходы сумматора 120 и просмотрной таблицы 130 перемножению и модульному сложению и выдает результат в качестве младших  $n$  разрядов, т.е. МДР, выходного адреса для турбоперемежения. Выходной сигнал перемножения и модульного сложения представляет собой сумму выходных сигналов сумматора 120 и просмотрной таблицы 130 с отброшенными младшими  $n$  разрядами. Если  $n$ -разрядное значение начального числа, соответствующее младшим пяти разрядам входного адреса, представляет собой  $C$ , а старшие  $n$  разрядов входного адреса есть  $j$ , то устройство 150 перемножения и модульного сложения выдает  $i = (C \cdot (j+1) \bmod 2^n)$  согласно формуле реверсирования ЛКП. Блок 140 реверсирования разрядов реверсирует (меняет порядок на обратный) младшие 5 разрядов, принятые из входного счетчика 210, и выдает реверсированные разряды в качестве старших пяти разрядов выходного адреса. Выходы блока 140 реверсирования разрядов и устройства 150 перемножения и модульного сложения образуют соответственно старшие 5 разрядов и младшие  $n$  разрядов выходного адреса. Затем выходной адрес запоминается в буфере 220 и подается в качестве адреса считывания в память 36 перемешителя на фиг.1.

Когда адресный генератор, показанный на фиг.3, применяется для турбоперемешителя,  $(5+n)$ -разрядный выходной адрес подается в качестве адреса считывания в память 36 перемешителя на выходной стороне турбоперемешителя. Если же адресный генератор применяется для турбообращенного перемешителя,  $(5+n)$ -разрядный выходной адрес подается в качестве адреса записи в память обращенного перемешителя.

Фиг. 4 является подробной блок-схемой входного счетчика 210, показанного на фиг.3.

На фиг.4 входной счетчик 210 содержит групповой счетчик (ГР\_СЧЕТЧИК) 212 для подсчета младших пяти разрядов  $[4:0]$  входного адреса и индексный счетчик (ИНД\_СЧЕТЧИК) 214 для подсчета старших  $n$  разрядов  $[n-1:0]$  входного адреса. Счетчики 212 и 214 подсчитывают множество символьных тактовых импульсов, как показано на фиг. 1, и генерируют соответственно 5-разрядное и  $n$ -разрядное

значение на каждом тактовом импульсе. Младшие 5 разрядов, выводимые из группового счетчика 212, индицируют одну из  $2^5$  групп в перемежающемся блоке, определяемом размером перемежителя, и подаются в просмотровую таблицу 130 и блок 140 реверсирования разрядов. Старшие  $n$  разрядов, выводимые из индексного счетчика 214, индицируют один из  $2^n$  адресов для каждой группы. Здесь каждый адрес используется в качестве переменной для изменения порядка битов данных в соответствующей группе. Перенос, генерируемый в процессе счета в групповом счетчике 212, подается в индексный счетчик 214 и в контроллер 200. По получении переноса контроллер проверяет значение, подсчитанное индексным счетчиком 214, и выборочно наращивает значение, подсчитанное групповым счетчиком 212. Т.е. групповой счетчик 212 под управлением контроллера 200 перескакивает соответствующее значение и подсчитывает следующее значение в конкретный момент времени, причем последовательно считает, начиная от  $[00000]$ . Начальное значение группового счетчика 212 составляет  $[00000]$  и начальное значение индексного счетчика составляет  $[00...00]$ .

Групповой счетчик 212 является счетчиком младших разрядов для подсчета младших пяти разрядов входного адреса, младшие 5 разрядов которого определяют старшие 5 разрядов выходного адреса, а индексный счетчик 214 является счетчиком старших разрядов для подсчета старших  $n$  разрядов входного адреса, старшие  $n$  разрядов которого определяют младшие  $n$  разрядов выходного адреса. Согласно предпочтительному примеру выполнения настоящего изобретения входной счетчик 210 генерирует  $(n+5)$ -разрядный входной адрес, из которого выходной адрес генерируется согласно размеру турбоперемешителя, при этом никогда не генерируется входной адрес, на основании которого результирующий выходной адрес должен быть отброшен.

При  $2^5 (=32)$  групп, выданных согласно размеру перемежителя, и  $2^n$  позиционных адресов в каждой группе адресный генератор, показанный на фиг.3 и 4, генерирует пригодные адреса, которые меньше, чем  $2^{5+n}$ .

Адресный генератор по настоящему изобретению применим также к общему случаю, когда перемежающийся блок имеет 2 группы, а каждая группа включает в себя  $2^n$  адресов. В этом случае генерируются пригодные адреса, которые меньше  $2^{k+n}$ . Адресный генератор характеризуется тем, что он генерирует пригодные адреса без необходимости перфорирования (выбраковывания) адреса из непригодной группы или адреса из группы, в которой непригодны некоторые позиционные адреса.

Для этой цели групповой счетчик 212 в адресном генераторе подсчитывает множество тактовых импульсов. На каждом тактовом импульсе групповой счетчик 212 генерирует первое значение группового счета, которое состоит из  $k$  разрядов и индицирует одну из  $2^k$  групп, а затем генерирует значение переноса после подсчета  $2^k$  тактовых импульсов. Индексный счетчик 214 подсчитывает множество тактовых

импульсов и генерирует первое значение позиционного счета, которое состоит из  $n$  разрядов и индицирует один из  $2^n$  адресов в группе на каждом тактовом импульсе. Контроллер 200 запоминает вторые значения группового счета, индицирующие непригодные группы, третьи значения группового счета, индицирующие группы, которые имеют как пригодные, так и непригодные позиционные адреса, и вторые значения позиционного счета, индицирующие непригодные позиционные адреса. Если первым значением группового счета является одно из вторых значений группового счета или же, если первым значением группового счета является одно из третьих значений группового счета и первым значением позиционного счета является одно из вторых значений позиционного счета, контроллер 200 управляет групповым счетчиком 212 и индексным счетчиком 214 так, чтобы первое значение группового счета и первое значение позиционного счета не выводились. Блок 140 реверсирования разрядов реверсирует разряды первого значения группового счета, состоящие из  $k$  разрядов. Реверсированные  $k$  разрядов запоминаются в выходном буфере 220 и используются как старшие  $k$  разрядов, СДР, выходного адреса.

Операционный блок, включающий в себя сумматор 120, просмотрную таблицу 130 и устройство 150 перемножения и модульного сложения, принимает первое значение группового счета, создает значение начального числа  $C$ , соответствующее первому значению группового счета, а затем генерирует результат  $i$  с помощью формулы реверсирования ЛКП  $C \cdot (j+1) \bmod 2^n$  ( $j$  является первым значением позиционного счета). Этот результат  $i$  запоминается в буфере 220 и используется в качестве младших  $n$  разрядов, МДР, выходного адреса для турбоперемежения/обращенного перемежения.

Анализ показывает, что последовательность отброшенных адресов следует правилу. Используя это правило, контроллер 200 управляет входным счетчиком 210 так, чтобы он не подсчитывал никакие значения, из которых могли бы генерироваться адреса, подлежащие отбрасыванию, тем самым преодолевая разрывность генерирования выходных адресов. Нижеследующее описание приводится в контексте турбоперемежителя ЛКП, применяемого в IS-95C, т.е. в контексте существующего турбокодека 1x, который поддерживает две скорости RS1 и RS2 передачи данных.

В табл. 1  $N_{\text{turbo}} (=L)$  представляет собой размер реального турбо перемежителя (размер входных кадровых данных), а  $n$  является числом разрядов каждого позиционного адреса в каждой группе, как определено согласно  $N_{\text{turbo}}$ , т.е. значение для изменения порядка битов данных в каждой группе. К примеру, если  $N_{\text{turbo}}$  составляет 378, число адресов равно 512 ( $=2^9$ ) согласно описанию IS-95C. Это значит, что каждый полный выходной адрес имеет 9 разрядов. Таким образом, число адресов в каждой группе равно  $2^4$ , потому что согласно стандарту IS-95C в перемежающемся блоке заданы  $2^5 (=32)$

групп. Значит, в каждом групповом адресе есть 5 разрядов и 4 разряда в каждом позиционном адресе в группе. М есть период ЛКП,  $2^n$ .  $N_{\text{turbo}}(2)$  или  $L(2)$  представляет собой значение размера турбоперемежителя, выраженное двоичным числом. Первый порог указывает старшие 5 разрядов в  $L(2)$ . Второй порог представляет собой порог, указывающий младшие  $n$  разрядов в  $L(2)$  (тем самым исключая старшие 5 разрядов), выраженные десятичным числом. Любой полный адрес с групповым адресом, большим чем первый порог, является непригодным адресом. Любой полный адрес с групповым адресом, равным первому порогу, и с позиционным адресом большим или равным второму порогу, является непригодным адресом.

В табл. 1  $L(2)$  имеет одни и те же старшие 5 разрядов или первый порог "10111" при RS1 и "10001" при RS2 независимо от  $N_{\text{turbo}}$ . При RS1 выходной адрес со старшими пятью разрядами больше, чем "10111", подлежит отбрасыванию. При RS2 выходной адрес со старшими пятью разрядами больше, чем "10001", подлежит отбрасыванию. Поэтому прерывистое генерирование выходных адресов можно предотвратить путем управления входным счетчиком 210, чтобы он не выводил входной адрес, младшие 5 разрядов которого будут генерировать старшие 5 разрядов выходного адреса, который должен быть отброшен. Поскольку старшие 5 разрядов, 5 СДР выходного адреса представляют собой реверсированные разряды младших 5 разрядов, 5 МДР, подсчитанных (или выданных) входным счетчиком 210, осуществляется управление входным счетчиком 210 так, чтобы он генерировал только входные адреса, в которых младшие 5 разрядов после их реверсирования не превышают порог старших 5 разрядов. Этот порог старших 5 разрядов, который является первым порогом = "10111" при RS1 и первым порогом = "10001" при RS2, реверсируется в "11101" и "10001". Следовательно, контроллер 200 управляет входным счетчиком 210 так, чтобы он не выводил входной адрес, младшие 5 разрядов которого после реверсирования больше, чем первый порог, для того, чтобы непрерывно генерировались пригодные выходные адреса.

Определение адресов, подлежащих отбрасыванию

Табл. 2 и 3 дают перечень значений счета группового счетчика 212, соответствующие адресам, подлежащим отбрасыванию среди выходных адресов, определенных согласно размеру турбо перемежителя при RS1 и RS2 соответственно.

В табл. 2 выходные адреса могут быть разделены на три вида (только два из которых показаны в табл. 2) согласно значениям их старших 5 разрядов при RS1. Выходные адреса: генерируются, если их 5 СДР ( $\text{ВЫХ\_АДРЕС}[n+k-1:n]$  или  $\text{ВЫХ\_АДРЕС}[8:5]$ ) находятся в диапазоне от 00000 ( $=0$ ) до 10111 ( $=22$ ); отбрасываются, если они находятся в диапазоне от 11000 ( $=24$ ) до 11111 ( $=31$ ); и отбрасываются или генерируются согласно их младшим  $n$  разрядам, если они равны 10111 ( $=23$ = первому порогу). 5 СДР или  $\text{ВЫХ\_АДРЕС}[8:4]$

выходного адреса соответствуют 5 МДР или  $ГР\_СЧЕТЧИК[4:0] = ГР\_СЧЕТЧИК[k-1:0]$  входного адреса.

Как следует из табл. 2, набор входных адресов, которые будут порождать непригодные выходные адреса, показан в уравнении (1) ниже. Точнее, десятичный эквивалент исходных разрядов входного адреса (или  $ГР\_СЧЕТЧИК$ ) для части групповых адресов из непригодных выходных адресов расположены в нарастающем порядке как арифметическая прогрессия с начальным значением 3 и арифметической разностью 4.

Отбрасываемые  $ГР\_СЧЕТЧИК[4:0] = \{3, 7, 11, 15, 19, 23, 27, 31\}$  (1)

Если входной счетчик 210 не выдает никакие значения счета или входные адреса, при тех  $ГР\_СЧЕТЧИК$ , которые удовлетворяют уравнению (1), каждый выходной адрес будет меньше, чем  $N_{turbo}$ . Для того, чтобы это происходило, входной счетчик 210 сконструирован так, чтобы не генерировать никакие показатели или входные адреса, соответствующие непригодным адресам. Поскольку вышеуказанная последовательность образует арифметическую прогрессию с арифметической разностью 4, реальные входные адреса  $ВХ\_СЧЕТЧИК[N+4:0]$  генерируются регулярно. Т.е. групповой счетчик 212 выдает в точности следующие десятичные эквиваленты:

$ГР\_RS1 = \{0, 1, 2, 4, 5, 6, 8, 9, 10, 12, 13, 14, 16, 17, 18, 20, 21, 22, 24, 25, 26, 28, 29, 30\} \dots (2)$

Только групповые адреса, соответствующие значениям счета, которые включены в группу, показанную в уравнении (2), используются в качестве части групповых адресов в выходных адресах для турбоперемежителя ЛКП. Здесь используется одна и та же последовательность  $ВХ\_СЧЕТЧИК$  для генерирования пригодных выходных адресов при  $RS1$  вне зависимости от размеров турбоперемежителя. Т.е. групповой счетчик 212 просто генерирует двоичные эквиваленты десятичных, показанных в уравнении (2), при  $RS1$  независимо от  $n$ .

Однако, если старшие 5 разрядов выходного адреса равны 10111 (=23) ( $ВХ\_АДРЕС[8:4] = (10111)$ ), т.е. если младшие 5 разрядов входного адреса представляют собой  $ГР\_СЧЕТЧИК[4:0] = (11101)$ , выходные адреса можно отбрасывать выборочно. Параметрами, используемыми для определения того, какие адреса нужно отбросить, являются  $ИНД\_СЧЕТЧИК[N-1:0]$  и  $C$ .

В табл. 3 выходные адреса также подразделяются на три вида согласно значениям их старших 5 разрядов при  $RS2$ . Выходные адреса  $ВХ\_АДРЕС[n+k-1:0]$  генерируются, если части групповых адресов  $ВХ\_АДРЕС[n+k-1:n]$  выходных адресов находятся в диапазоне от 00000 (0) до 10000 (16); отбрасываются, если они находятся в диапазоне от 10010 (18) до 11111 (31); и отбрасывался или генерируются согласно их младшим  $n$  разрядам, если они равны 10001 (17).

Как следует из табл. 3, младшие 5 разрядов входных адресов, которые будут порождать непригодные выходные адреса,

расположены в нарастающем порядке как арифметическая прогрессия с начальным значением 3 арифметической разностью 2.

Отбрасываемые  $ГР\_СЧЕТЧИК[4:0] = \{3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, 29, 31\}$  (3)

Если входной счетчик 210 не выдает никакие значения счета при тех  $ГР\_СЧЕТЧИК$ , которые удовлетворяют уравнению (3), каждый выходной адрес будет меньше, чем  $N_{turbo}$ . Это предполагает, что входной счетчик 210 сконструирован так, чтобы не генерировать адреса, относящиеся к непригодным выходным адресам. Поскольку вышеуказанная последовательность образует арифметическую прогрессию с арифметической разностью 2, реальные входные адреса  $ВХ\_СЧЕТЧИК[n+4:0]$  генерируются регулярно, т.е. групповой счетчик 212 выдает в точности двоичные эквиваленты десятичных значений, показанных в уравнении (4).

$ГР\_RS2 = \{0, 1, 2, 4, 6, 8, 10, 12, 14, 16, 17, 18, 20, 22, 24, 26, 28, 30\} \dots (4)$

Только адреса, соответствующие значениям счета, которые включены в группу, показанную в уравнении (4), используются в качестве выходных адресов для турбоперемежителя ЛКП. Здесь одна и та же последовательность  $ГР\_СЧЕТЧИК$  используется для генерирования пригодных выходных адресов при  $RS2$  вне зависимости от размера турбоперемежителя. Т.е. групповой счетчик 212 просто генерирует двоичные эквиваленты десятичных значений, показанных в уравнении (4) при  $RS2$  независимо от  $n$ .

Однако, если старшие 5 разрядов выходного адреса равны 10001 (17) ( $ВХ\_АДРЕС[8:4] = (10001)$ ), т.е. младшие 5 разрядов входного адреса равны  $ГР\_СЧЕТЧИК[4:0] = (10001)$ , выходной адрес может быть выборочно отброшен. Параметрами, используемыми для определения того, нужно ли отбрасывать адрес, являются  $ИНД\_СЧЕТЧИК[n-1:0]$  и  $C$ .

Выходные адреса можно генерировать на каждом символьном интервале путем конструирования группового счетчика 212 для выдачи его разрядов, т.е. младших 5 разрядов входного адреса, удовлетворяющих уравнению (2) или уравнению (4), как установлено выше. В случаях, когда  $ВХ\_АДРЕС[8:4] = (10111)$ , т.е.  $ГР\_СЧЕТЧИК[4:0] = 29$  при  $RS1$ , и  $ВХ\_АДРЕС[8:4] = (10001)$ , т.е.  $ГР\_СЧЕТЧИК[4:0] = 17$  при  $RS2$ , должна выполняться дополнительная процедура.

Табл. 4 и 5 показывают соотношение между  $n$  и  $C$  среди параметров турбоперемежителя ЛКП в IS-95C. В этих таблицах подчеркнутые позиции представляют группы, имеющие отброшенные адреса, а выделенные жирным шрифтом части представляют группы, имеющие отброшенные и генерируемые адреса. В отношении подчеркнутых групп входной счетчик 210 не выполняет никакие операции счета. С другой стороны, входной счетчик 210 подсчитывает значения для групп, выделенных жирным шрифтом. Вследствие этого все перемеженные адреса могут генерироваться без перфорирования (выбраковки) на выходном выводе турбоперемежителя ЛКП путем управления входным счетчиком 210 с учетом двух видов

групп.

Табл. 4 показывает соотношение между  $n$  и  $C$  при RS1. Как отмечено в таблицах, входной счетчик 210 не работает в отношении групп с табличными индексами 3, 7, 11, 15, 19, 23, 27 и 31.

Табл. 5 показывает соотношение между  $n$  и  $C$  при RS2. Как отмечено в таблицах, входной счетчик 210 не работает в отношении групп с табличными индексами 3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, 29 и 31.

Определение адресов, подлежащих выборочному отбрасыванию

Теперь будет дано описание выборочного отбрасывания или генерирования адресов, имеющих старшие 5 разрядов равными старшим 5 разрядам размера турбопережигателя, выраженного двоичным числом. Адреса, которые принадлежат к группе 29 в табл. 4 или группе 17 в табл. 5, выборочно генерируются или отбрасываются путем управления индексным счетчиком 214.

В табл. 6 и 7 вопрос о том, генерировать или отбрасывать адреса со старшими 5 разрядами, равными старшим 5 разрядам размера турбопережигателя, определяется согласно второму порогу, т.е. младшим  $n$  разрядам размера турбопережигателя. Осуществляют управление индексным счетчиком 214 так, чтобы он не генерировал никакие входные адреса со старшими  $n$  разрядами, соответствующими младшим  $n$  разрядам выходного адреса, которые больше второго порога или равны ему. Например, если второй порог равен 10, как показано в табл. 6, то выходные адреса с младшим  $n$  разрядами больше или равными 10 ( $B_{IX\_ADRES}[n-1:0] = \{10, 11, 12, 13, 14, 15\}$ ) предполагаются подлежащими отбрасыванию. Поэтому входной счетчик 210 не должен генерировать входные адреса со старшими  $n$  разрядами, соответствующими этим определенным младшим  $n$  разрядам выходных адресов. Старшие  $n$  разрядов выходного адреса, из которых генерируются определенные младшие  $n$  разрядов, могут быть получены путем реверсивного выполнения операции ЛКП, поскольку младшие  $n$  разрядов генерируются после операции ЛКП в сумматоре 120 и устройстве 150 перемножения и модульного сложения. Например, исходными старшими  $n$  разрядами входных адресов, соответствующих выходным адресам с младшими  $n$  разрядами из  $\{10, 11, 12, 13, 14, 15\}$ , являются  $\{3, 4, 8, 9, 13, 14\}$ . Поэтому осуществляется управление индексным счетчиком 214 так, чтобы он не подсчитывал  $IND\_CЧЕТЧИК[n-1] = \{3, 4, 8, 9, 13, 14\}$ , соответствующие определенным младшим  $n$  разрядам  $\{10, 11, 12, 13, 14, 15\}$ .

Табл. 6 дает список адресов со старшими 5 разрядами, равными 10111, и младшими  $n$  разрядами, которые больше или равны второму порогу и, следовательно, должны отбрасываться при RS1. К примеру, если  $N_{turbo}$  составляет 378, первый порог равен 10111 ( $=29$ ), а второй порог равен 1010 ( $=10$ ), как показано в табл. 1, адреса с комбинацией 10111 в качестве старших 5 разрядов отбрасываются, если они имеют младшие  $n$  разрядов  $\{10, 11, 12, 13, 14, 15\}$ , которые больше или равны старшим разрядам  $\{3, 4, 8, 9, 13, 14\}$ , соответствующим  $\{10, 11, 12, 13, 14, 15\}$

через операцию реверсивного ЛКП под управлением контроллера 200. Поскольку не генерируются никакие входные адреса, которые порождают непригодные выходные адреса, входной счетчик 210 подсчитывает входные адреса для непрерывного генерирования только пригодных адресов.

Табл. 7 дает список адресов со старшими 5 разрядами, равными 10001, и младшими  $n$  разрядами, которые не меньше второго порога и, следовательно, подлежат отбрасыванию при RS2. К примеру, если  $N_{turbo}$  составляет 570, первый порог равен 10001 ( $=17$ ), а второй порог равен 11010 ( $=26$ ), как показано в табл. 1, адреса с комбинацией 10001 в качестве старших 5 разрядов отбрасываются, если они имеют младшие  $n$  разрядов  $\{26, 27, 28, 29, 30, 31\}$ , которые больше или равны второму порогу. Поэтому индексный счетчик 214 не генерирует никакие входные адреса со старшими  $n$  разрядами  $\{4, 9, 14, 19, 24, 29\}$ , соответствующими  $\{26, 27, 28, 29, 30, 31\}$  через операцию реверсивного ЛКП под управлением контроллера 200. Поскольку не генерируются никакие входные адреса, которые порождают непригодные выходные адреса, входной счетчик 210 подсчитывает входные адреса для непрерывного генерирования только пригодных адресов.

Табл. 8 дает список адресов при условиях RS1,  $ГР\_CЧЕТЧИК[4:0] = 29$ ,  $n=4$ ,  $C=3$  и второй порог = 10. В Таблице 8  $B_{IX\_ADRES}[8:4]=10111$  ( $=23$ ) является реверсированным значением от  $ГР\_CЧЕТЧИК[4:0]=11101$  ( $=29$ ). Следовательно, адреса со старшими 5 разрядами 10111, если они удовлетворяют условию  $IND\_CЧЕТЧИК[3:0] \in \{3, 4, 8, 9, 13, 14\}$ , отбрасываются, как показано в Таблице 6. В том случае, когда  $IND\_CЧЕТЧИК[3:0] \in \{3, 4, 8, 9, 13, 14\}$ ,  $ГР\_CЧЕТЧИК$  наращивается на 1, индицируя следующую группу. Поэтому значение  $BX\_CЧЕТЧИК[n+4:0]$  переносится в группу 30 без вывода индекса, соответствующего группе 29.

Табл. 9 дает список адресов при условиях RS1,  $ГР\_CЧЕТЧИК[4:0]=29$ ,  $n=5$ ,  $C=1$  и второй порог = 26. В табл. 9  $B_{IX\_ADRES}[8:4]=10111$  ( $=23$ ) является реверсированным значением от  $ГР\_CЧЕТЧИК[4:0]=11101$  ( $=29$ ). Следовательно, адреса со старшими 5 разрядами 10111, если они удовлетворяют условию  $IND\_CЧЕТЧИК[3:0] \in \{25, 26, 27, 28, 29, 30\}$ , отбрасываются, как показано в табл. 6. В том случае, когда  $IND\_CЧЕТЧИК[3:0] \in \{3, 4, 8, 9, 13, 14\}$ ,  $ГР\_CЧЕТЧИК$  наращивается на 1, индицируя следующую группу. Поэтому значение  $BX\_CЧЕТЧИК[n+4:0]$  переносится в группу 30 без вывода индекса, соответствующего группе 29.

Процедура генерирования адресов

Фиг. 5 и 6 являются блок-схемами алгоритмов, иллюстрирующими первый и второй вариант осуществления способа генерирования адреса при RS1 и RS2 соответственно, согласно настоящему изобретению. Эта процедура управляется контроллером 200. В начальном состоянии групповой счетчик 212 и индексный счетчик 214 сброшены.

На фиг. 5 контроллер 200 сначала при операции 402 определяет, соответствует ли значение группового счетчика 212

(BX\_СЧЕТЧИК) последовательности ГР\_ RS1 {0, 1, 2, 4, 5, 6, 8, 9, 10, 12, 13, 14, 16, 17, 18, 20, 21, 22, 24, 25, 26, 28, 29, 30}, показанной в уравнении (2). Если значение счета группового счетчика 212 соответствует "00000(0)", т.е. последовательности ГР\_ RS1 при операции 402, контроллер 200 выдает адрес перемежения путем реверсирования разрядов и рандомизацией значения счета "00000(0)" в групповом счетчике 212 и значения счета "000...000 (0)" в индексном счетчике (ИНД\_СЧЕТЧИК) 214 при операциях 404 и 406. Поскольку значение счета "00000 (0)" в групповом счетчике 212 меньше, чем 32, и не равно 31, групповой счетчик 212 выдает увеличенное значение счета "00001(1)" при операции 410 после прохождения операций 408 и 414.

Работа при операциях 402, 404, 406, 408, 414 и 410, которая была выполнена на значении счета "00000(0)", выполняется аналогичным образом на увеличенном значении "00001(1)". Далее, работа при операциях 402, 404, 406, 408, 414 и 410 выполняется точно так же на следующем значении счета "00010(2)" тем же самым образом.

Если значение счета в групповом счетчике 212 равно "00011(3)", будет выполняться следующая операция. Если при операции 402 определено, что значение счета в групповом счетчике 212 не соответствует последовательности ГР\_ RS1 {0, 1, 2, 4, 5, 6, 8, 9, 10, 12, 13, 14, 16, 17, 18, 20, 21, 22, 24, 25, 26, 28, 29, 30}, показанной в уравнении (2), т.е. соответствует ряду {3, 7, 11, 15, 19, 23, 27, 31}, показанному в уравнении (1), контроллер 200 переходит непосредственно к операции 408 без прохождения операций 404 и 406 (т.е. перескакивая их). Иными словами, когда групповой счетчик 212 подсчитывает одно из значений ряда {3, 7, 11, 15, 19, 23, 27, 31}, показанного в уравнении (1), контроллер 200 не выдает соответствующее значение счета в качестве адреса перемежения. Равным образом, если значение счета в групповом счетчике 212 равно {7, 11, 15, 19, 23, 27, 31}, показанному в уравнении (1), будет выполняться та же самая операция, как и в случае значения счета в групповом счетчике 212.

Как описано выше, в процессе увеличения значения счета в групповом счетчике 212 при операции 410, при операции 402 определяется, соответствует ли это значение счета последовательности ГР\_ RS1, показанной в уравнении (2). Если это так, выполняется операция 406 для выдачи адреса перемежения. Если это не так, операция 406 не выполняется, чтобы не выдавать адрес перемежения. Такая операция выполняется на всех пригодных значениях счета (0-31) в групповом счетчике 212. Такая операция выполняется в состоянии, когда значение счета в индексном счетчике 214 зафиксировано на конкретном значении. Например, начальное значение счета в индексном счетчике 214 зафиксировано на "000...000 (0)", и в процессе увеличения значения счета в групповом счетчике 212 в этом начальном состоянии значения счета, соответствующие последовательности ГР\_ RS1, показанной в уравнении (2), выводятся в качестве адресов

перемежения.

Между тем, когда все счетные значения в групповом счетчике 212 подсчитаны, групповой счетчик 212 генерирует перенос. Факт того, генерируется ли перенос групповым счетчиком 212, т.е. превосходит ли значение счета величину 32 в групповом счетчике 212, определяется контроллером 200 при операции 408. Если при операции 408 определяется, что перенос генерируется групповым счетчиком 212, контроллер 200 сбрасывает групповой счетчик 212, и индексный счетчик 214 подсчитывает увеличенное значение счета при операции 412. Операции 402, 404, 406, 408, 414 и 410 выполняются, повторяясь, и на увеличенном значении счета в индексном счетчике 214. Соответственно, в процессе увеличения значений счета в групповом счетчике 212 для увеличенного значения счета в индексном счетчике 214 значения счета, соответствующие последовательности ГР\_ RS1, показанной в уравнении (2), выводятся в качестве адресов перемежения.

При выполнении такой работы по генерированию адресов, если при операции 404 определяется, что значение счета в групповом счетчике 212 равно 29, а значение счета в индексном счетчике 214 представляет собой любое из удаленных значений (например, {3, 4, 8, 9, 13, 14}), показанных в Таблице 6, процедура перескакивает операцию 406 и переходит непосредственно к операции 408, чтобы не генерировать входной адрес, соответствующий адресу, подлежащему удалению. Т.е., когда групповой счетчик 212 подсчитывает 29 в состоянии, при котором значение счета в индексном счетчике 214 является одним из удаленных значений, операция 406 перескакивается, чтобы не выводить соответствующее значение счета в качестве адреса перемежения.

Вышерассмотренная работа выполняется, повторяясь до тех пор, пока при операции 414 не определится, что значение счета в групповом счетчике 212 равно 31 (11111) и значения счета в индексном счетчике 214 равны все единицам (111...111).

На фиг.6 контроллер 200 сначала при операции 502 определяет, соответствует ли значение группового счетчика 212 (BX\_СЧЕТЧИК) последовательности ГР\_ RS2 {0, 1, 2, 4, 6, 8, 10, 12, 14, 16, 17, 18, 20, 22, 24, 26, 28, 29, 30}, показанной в уравнении (4). Если значение счета группового счетчика 212 соответствует "00000(0)", т.е. последовательности ГР\_ RS2 при операции 502, контроллер 200 выдает адрес перемежения путем реверсирования разрядов и рандомизацией значения счета "00000 (0)" в групповом счетчике 212 и значения счета "000...000 (0)" в индексном счетчике (ИНД\_СЧЕТЧИК) 214 при операциях 504 и 506. Поскольку значение счета "00000 (0)" в групповом счетчике 212 меньше, чем 32, и не равно 31, групповой счетчик 212 выдает увеличенное значение счета "00001(1)" при операции 510 после прохождения операций 508 и 514.

Работа при операциях 502, 504, 506, 508, 514 и 510, которая была выполнена на значении счета "00000(0)", выполняется аналогичным образом на увеличенном значении "00001(1)". Далее, работа при операциях 502, 504, 506, 508, 514 и 510

выполняется точно так же на следующем значении счета "00010(2)" тем же самым образом.

Если значение счета в групповом счетчике 212 равно "00011(3)", будет выполняться следующая операция. Если при операции 502 определено, что значение счета в групповом счетчике 212 не соответствует последовательности ГР\_ RS2 {0, 1, 2, 4, 6, 8, 10, 12, 14, 16, 17, 18, 20, 22, 24, 26, 28, 29, 30}, показанной в уравнении (4), т.е. соответствует ряду {3, 5, 7, 9, 11, 13, 15, 19, 21, 23, 25, 27, 29, 31}, показанному в уравнении (3), контроллер 200 переходит непосредственно к операции 508 без прохождения операций 504 и 506 (т.е. перескакивая их). Иными словами, когда групповой счетчик 212 подсчитывает одно из значений ряда {3, 5, 7, 9, 11, 13, 15, 19, 21, 23, 25, 27, 29, 31}, показанного в уравнении (3), контроллер 200 не выдает соответствующее значение счета в качестве адреса перемежения. Равным образом, если значение счета в групповом счетчике 212 равно {3, 5, 7, 9, 11, 13, 15, 19, 21, 23, 25, 27, 29, 31}, показанному в уравнении (3), будет выполняться та же самая операция, как и в случае значения счета в групповом счетчике 212.

Как описано выше, в процессе увеличения значения счета в групповом счетчике 212 при операции 510, при операции 502 определяется, соответствует ли это значение счета последовательности ГР\_ RS2, показанной в уравнении (4). Если это так, выполняется операция 506 для выдачи адреса перемежения. Если это не так, операция 506 не выполняется, чтобы не выдавать адрес перемежения. Такая операция выполняется на всех пригодных значениях счета (0-31) в групповом счетчике 212. Такая операция выполняется в состоянии, когда значение счета в индексном счетчике 214 зафиксировано на конкретном значении. Например, начальное значение счета в индексном счетчике 214 зафиксировано на "000...000 (0)", и в процессе увеличения значения счета в групповом счетчике 212 в этом начальном состоянии значения счета, соответствующие последовательности ГР\_ RS2, показанной в уравнении (4), выводятся в качестве адресов перемежения.

Между тем, когда все счетные значения в групповом счетчике 212 подсчитаны, групповой счетчик 212 генерирует перенос. Факт того, генерируется ли перенос групповым счетчиком 212, т.е. превосходит ли значение счета величину 32 в групповом счетчике 212, определяется контроллером 200 при операции 408. Если при операции 508 определяется, что перенос генерируется групповым счетчиком 212, контроллер 200 сбрасывает групповой счетчик 212, и индексный счетчик 214 подсчитывает увеличенное значение счета при операции 512. Операции 502, 504, 506, 508, 514 и 510 выполняются, повторяясь, и на увеличенном значении счета в индексном счетчике 214. Соответственно, в процессе увеличения значений счета в групповом счетчике 212 для увеличенного значения счета в индексном счетчике 214 значения счета, соответствующие последовательности ГР\_ RS2, показанной в уравнении (4), выводятся в

качестве адресов перемежения.

При выполнении такой работы по генерированию адресов, если при операции 504 определяется, что значение счета в групповом счетчике 212 равно 17, а значение счета в индексном счетчике 214 представляет собой любое из удаленных значений (например, {4, 9, 14, 19, 24, 29}), показанных в Таблице 1, процедура перескакивает операцию 506 и переходит непосредственно к операции 508, чтобы не генерировать входной адрес, соответствующий адресу, подлежащему удалению. Т.е., когда групповой счетчик 212 подсчитывает 17 в состоянии, в котором значение счета в индексном счетчике 214 является одним из удаленных значений, операция 506 перескакивается, чтобы не выводить соответствующее значение счета в качестве адреса перемежения.

Вышерассмотренная работа выполняется, повторяясь, до тех пор, пока при операции 514 не определится, что значение счета в групповом счетчике 212 равно 31 (11111) и значения счета в индексном счетчике 214 равны все единицам (111...111).

Фиг. 7 иллюстрирует пример операции счета во входном счетчике 210, показанном на фиг.4. Здесь входной счетчик 210 выполняет операцию подсчета [8:0] при том условии, что скорость передачи данных составляет RS1, турбоперемежитель имеет размер 378, согласно размеру турбоперемежителя в блоке перемежения даны 2<sup>5</sup> групп согласно размеру турбоперемежителя, каждая группа имеет 2<sup>4</sup> адресов, M(2<sup>n</sup>) равно 16, а второй порог составляет 10.

На фиг.7 обозначения ГР\_ СЧЕТ и ИНД-СЧЕТ означают значения счета соответственно группового счетчика 212 и индексного счетчика 214. Групповой счетчик 212 является 5-разрядным двоичным счетчиком, который считает от 0 до 31 (= 0000-1111) и генерирует значение группового счета. Индексный счетчик 214 является 4-разрядным двоичным счетчиком, который считает от 0 до 15 (= 0000-1111) и генерирует значение позиционного счета. Счетчики 212 и 214 генерируют адреса меньше, чем размер перемежителя, в качестве пригодных адресов под управлением контроллера 200. Если групповой счетчик 212 подсчитывает значения, индицирующие одну из отброшенных групп {3, 7, 11, 15, 19, 23, 27, 31}, контроллер 200 управляет групповым счетчиком 212 так, чтобы он считал значения, индицирующие следующую группу, без выведения значения счета. Т.е. контроллер 200 управляет групповым счетчиком 212 так, чтобы он генерировал значения группового счета без значений счета из отброшенных групп в виде следующих рядов:  
G0(00000)→G1(00001)→G2(00010)→  
G4(00100)→G5(00101)→G6(00110)→  
...→G16(10000)→G17(10001)→...→  
G30(11110).

Между тем контроллер 200 в качестве пригодных адресов выборочно генерирует адреса в группе, равной размеру перемежителя. Если групповой счетчик 212 подсчитывает группу 29, равную размеру перемежителя, а индексный счетчик 214 генерирует значение счета, содержащееся в {3, 4, 8, 9, 13, 14}, что означает, что



выходной адрес является отброшенным адресом, контроллер 200 управляет индексным счетчиком 214 так, чтобы он генерировал следующее значение счета без вывода текущего значения счета. Т.е., когда значение счета в групповом счетчике 212 равно 29, контроллер 200 управляет индексным счетчиком 214 так, чтобы он генерировал только значения счета за исключением {3, 4, 8, 9, 13, 14}.

Как определить отброшенные группы и позиции, было описано с отображением отброшенных групп в уравнении (2) и Таблице 4, а отброшенные позиции показаны в Таблицах 6 и 8.

Как описано выше, настоящее изобретение гарантирует, что не будут генерироваться никакие входные адреса, соответствующие непригодным выходным адресам, благодаря чему адреса турбопереключения/обращенного переключения генерируются на каждом заданном интервале с помощью некоторого правила, которое содержится среди отброшенных адресов. Поэтому тактирование поддерживается постоянным для турбодекодера, а аппаратная сложность при осуществлении турбодекодера значительно снижена.

Хотя изобретение показано и описано со ссылками на некоторые его предпочтительные примеры выполнения, специалисту в данной области техники будет понятно, что можно сделать различные изменения в виде и деталях изобретения без отхода от сущности и объема изобретения, которые определены формулой изобретения.

#### Формула изобретения:

1. Адресный генератор для генерирования пригодных адресов, которых меньше, чем  $2^{k+n}$  полных адресов, разделенных на  $2^k$  групп, каждая из которых имеет  $2^n$  позиционных адресов, без генерирования непригодных полных адресов, содержащий первый счетчик для подсчета множества тактовых импульсов, для генерирования группового счета, состоящего из  $k$  разрядов, индицирующих одну из  $2^k$  групп на каждом тактовом импульсе, и для генерирования переноса после подсчета  $2^k$  тактовых импульсов; второй счетчик для приема переноса от первого счетчика, для подсчета переносов и для генерирования позиционного счета, состоящего из  $n$  разрядов, индицирующих один из  $2^n$  позиционных адресов; контроллер для запоминания непригодных значений группового счета, представляющих непригодные группы, частично непригодных значений группового счета, представляющих группы, имеющие как пригодные, так и непригодные позиционные адреса, и непригодных значений позиционного счета, представляющих непригодные позиционные адреса, и для управления первым и вторым счетчиками так, чтобы они не выводили групповой счет и позиционный счет, если групповой счет является одним из непригодных значений группового счета или групповой счет является одним из частично непригодных значений группового счета и позиционный счет является одним из непригодных значений позиционного счета; блок реверсирования разрядов для приема и реверсирования  $k$

разрядов из первого счетчика; операционное устройство для приема группового счета и позиционного счета, для определения значения начального числа, соответствующего принятому групповому счету, для определения результирующих разрядов на основании уравнения: (значение начального числа)  $\cdot$  (позиционный счет  $+ 1$ )  $\bmod 2^n$ ; и буфер для запоминания пригодных адресов, образованных из реверсированных разрядов, принятых от блока реверсирования разрядов, и из результирующих разрядов, принятых от операционного устройства.

2. Способ генерирования пригодных адресов, которых меньше, чем  $2^{k+n}$  полных адресов, разделенных на  $2^k$  групп, каждая из которых имеет  $2^n$  позиционных адресов, без генерирования непригодных полных адресов, заключающийся в том, что подсчитывают множество тактовых импульсов; генерируют групповой счет на каждом тактовом импульсе, причем групповой счет состоит из  $k$  разрядов, индицирующих одну из  $2^k$  групп; генерируют перенос после того, как групповой счет подсчитает  $2^k$  тактовых импульсов; принимают перенос, подсчитывают переносы и генерируют позиционный счет на каждом тактовом импульсе, причем позиционный счет состоит из  $n$  разрядов, индицирующих один из  $2^n$  адресов; управляют групповым счетом и позиционным счетом так, чтобы не выводили их, если групповой счет является одним из непригодных значений группового счета, представляющих непригодные группы, или если групповой счет является одним из частично непригодных значений группового счета, представляющих группы, имеющие как пригодные, так и непригодные позиционные адреса, и позиционный счет является одним из непригодных значений позиционного счета, представляющих непригодные позиционные адреса; определяют значение начального числа, соответствующее групповому счету; определяют результирующие разряды на основе уравнения: результирующие разряды = (значение начального числа)  $\cdot$  (позиционный счет  $+ 1$ )  $\bmod 2^n$ ; реверсируют  $k$  разрядов из первого счетчика и генерируют пригодных адрес, образованный из реверсированных разрядов и результирующих разрядов.

3. Адресный генератор для генерирования пригодных адресов, которых меньше, чем  $2^{k+n}$  полных адресов, разделенных на  $2^k$  групп, каждая из которых имеет  $2^n$  позиционных адресов, без генерирования непригодных полных адресов, содержащий  $(k+n)$ -разрядный двоичный счетчик, включающий в себя:  $k$ -разрядный двоичный счетчик для подсчета множества тактовых импульсов, для генерирования группового счета, состоящего из  $k$  разрядов, причем групповой счет индицирует одну из  $2^k$  групп на каждом тактовом импульсе, и для генерирования переноса после подсчета  $2^k$  тактовых импульсов, и  $n$ -разрядный двоичный счетчик для приема переноса из  $k$ -разрядного двоичного счетчика и для генерирования позиционного счета  $j$  из  $n$  разрядов, индицирующего один из  $2^n$  адресов в группе; контроллер для запоминания непригодных значений группового счета, представляющих непригодные группы,



частично непригодных значений группового счета, представляющих группы, имеющие как пригодные, так и непригодные позиционные адреса, и непригодных значений позиционного счета, представляющих непригодные позиционные адреса, и для управления (k+n)-разрядным двоичным счетчиком так, чтобы он не выводил групповой счет и позиционный счет, если групповой счет является одним из непригодных значений группового счета, или если групповой счет является одним из частично непригодных значений группового счета и позиционный счет является одним из непригодных значений позиционного счета; блок реверсирования разрядов для приема и реверсирования k разрядов из k-разрядного двоичного счетчика и операционное устройство для приема группового счета и позиционного счета, для определения значения начального числа, соответствующего принятому групповому счету, для генерирования результирующих разрядов на основании уравнения: результирующие разряды = (значение начального числа) \* (позиционный счет + 1) mod  $2^n$ ; при этом пригодные адреса образуются из реверсированных разрядов из блока реверсирования разрядов и из результирующих разрядов из операционного устройства.

4. Способ генерирования пригодных адресов, которых меньше, чем  $2^{k+n}$  полных адресов, разделенных на  $2^k$  групп, каждая из которых имеет  $2^n$  позиционных адресов, с помощью адресного генератора, имеющего (k+n)-разрядный двоичный счетчик для получения группового счета, состоящего из k разрядов, индицирующих одну из  $2^k$  групп, и позиционного счета, состоящего из n разрядов, индицирующих один из  $2^n$  адресов в каждой группе, блок реверсирования разрядов для реверсирования k разрядов группового счета и операционное устройство для приема группового счета и позиционного счета, определения значения начального числа и генерирования результирующих разрядов с помощью уравнения: (значение начального числа) \* (позиционный счет + 1) mod  $2^n$ , заключающийся в том что генерируют групповой счет на каждом тактовом импульсе; генерируют перенос после того, как групповой счет подсчитает  $2^k$  тактовых импульсов; принимают перенос и генерируют позиционный счет на каждом тактовом импульсе и управляют групповым счетом и позиционным счетом так, чтобы не выводить их, если групповой счет является одним из непригодных значений группового счета, представляющих непригодные группы, или групповой счет является одним из частично непригодных значений группового счета, представляющих группы, имеющие как пригодные, так и непригодные позиционные адреса, и позиционный счет является одним из непригодных значений позиционного счета, представляющих непригодные позиционные адреса; при этом пригодные адреса образуют из реверсированных разрядов из блока реверсирования разрядов и из результирующих разрядов из операционного устройства.

5. Адресный генератор для генерирования адреса считывания/записи для памяти

турбопереключателя/обращенного переключателя, содержащий первый счетчик для подсчета первой последовательности, представляющей одну из групп в блоке переключения, определенной согласно заданному размеру переключателя, и для вывода первого счета с каждым тактовым импульсом; второй счетчик для подсчета второй последовательности, представляющей один из позиционных адресов в каждой группе, и для вывода второго счета с каждым тактовым импульсом; контроллер для выражения размера переключателя/обращенного переключателя в виде двоичного числа для установки старших разрядов этого двоичного числа в качестве первого порога, который соответствует последней пригодной группе, для установки остальных разрядов двоичного числа в качестве второго порога, соответствующего первому непригодному позиционному адресу в последней пригодной группе, для управления первым счетчиком так, чтобы он не выводил первый счет, если этот первый счет после реверсирования больше, чем первый порог, и для управления вторым счетчиком так, чтобы он не выводил второй счет, если и второй счет после преобразования посредством операции ЛКП (линейной конгруэнтной последовательности) больше или равен второму порогу, и первый счет после реверсирования равен первому порогу; блок реверсирования разрядов для реверсирования первого счета и для вывода реверсированных разрядов в качестве старших разрядов для адреса считывания/записи и операционное устройство для выполнения операции ЛКП на первом и втором счете и для вывода обработанных разрядов в качестве младших разрядов адреса считывания/записи.

6. Адресный генератор по п. 5, отличающийся тем, что контроллер управляет первым счетчиком так, чтобы он выводил следующую группу в блоке переключения, если значение первого счета после реверсирования является значением, превышающим первый порог.

7. Адресный генератор по п. 5, отличающийся тем, что контроллер управляет вторым счетчиком так, чтобы он выводил следующий позиционный адрес, если и первый счет является реверсированным значением первого порога, и второй счет после преобразования посредством операции ЛКП больше или равен второму порогу.

8. Адресный генератор по п. 7, отличающийся тем, что контроллер определяет, является ли второй счет после преобразования посредством операции ЛКП большим или равным второму порогу, путем сравнения этого второго счета со значениями счета, полученными путем выполнения упомянутой операции ЛКП в реверсированном виде на первом и втором порогах, и больше ли позиционные адреса, чем второй порог.

9. Адресный генератор по п. 5, отличающийся тем, что первый счетчик подсчитывает первый счет для представления одной из 32 групп блока переключения.

10. Способ генерирования адресов в адресном генераторе, вырабатывающем для памяти турбопереключателя/обращенного переключателя выходной адрес

RU 2 1 8 6 4 6 0 C 1

считывания/записи, который состоит из старших и младших разрядов, причем старшие разряды являются выходами блока реверсирования разрядов, а младшие разряды являются выходами операционного устройства, которое выполняет формулу реверсирования ЛКП (линейной конгруэнтной последовательности), заключающийся в том, что выражают заданный размер перемежителя в виде двоичного числа; устанавливают старшие разряды этого двоичного числа на первый порог; устанавливают младшие разряды этого двоичного числа на второй порог; подсчитывают первый счет, представляющий одну из адресных групп в блоке перемежения, которую определяют согласно размеру перемежителя; выводят первый счет; подсчитывают второй счет, представляющий один из позиционных адресов в каждой группе; выводят второй счет; управляют первым счетом так, чтобы не выводить его, если этот первый счет после преобразования посредством блока реверсирования разрядов больше, чем первый порог; сравнивают результаты выполнения формулы реверсирования ЛКП на первом и втором

5

10

15

20

25

30

35

40

45

50

55

60

счете со вторым порогом, если первый счет после преобразования посредством блока реверсирования разрядов равен первому порогу; управляют вторым счетом так, чтобы не выводить его, если результат выполнения формулы ЛКП на первом и втором счете равен второму порогу; подают выведенный первый счет в блок реверсирования разрядов и операционное устройство; подают выведенный второй счет в операционное устройство и генерируют выходной адрес считывания/записи.

11. Способ по п. 10, отличающийся тем, что дополнительно управляют первым счетом для индикации следующей группы в блоке перемежения, если первый счет является реверсированным значением значения большего, чем первый порог.

12. Способ по п. 10, отличающийся тем, что дополнительно управляют вторым счетом для индикации следующей позиции битов данных, если и результат выполнения формулы реверсирования ЛКП на первом и втором счете больше или равен второму порогу, и первый счет после реверсирования равен первому порогу.

RU 2 1 8 6 4 6 0 C 1

Таблица 1

## Анализ размера турбоперемежителя

RS	$N_{\text{turbo}} (=L)$	n	$M = 2^n$	$L_{(2)}$	первый порог	второй порог
1	378	4	16	10111 1010	10111	10
2	570	5	32	10001 11010	10001	26
1	762	5	32	10111 11010	10111	26
2	1146	6	64	10001 111010	10001	58
1	1530	6	64	10111 111010	10111	58
2	2298	7	128	10001 1111010	10001	122
1	3066	8	256	10111 1111010	10111	
2	4602			10001 11111010	10001	
1	6138			10111 11111010	10111	

Таблица 2

ВЫХ_АДРЕС [8:4] = первый порог	ГР_СЧЕТЧИК [4:0]	РЕЗУЛЬТАТ	число отбрасываемых ВЫХ АДРЕСОВ
10111	11101 (29)	отбрасываются частично	$< 2^n$
11000	00011 (3)	отбрасываются все	$2^n$
11001	10011 (19)	отбрасываются все	$2^n$
11010	01011 (11)	отбрасываются все	$2^n$
11011	11011 (27)	отбрасываются все	$2^n$
11100	00111 (7)	отбрасываются все	$2^n$
11101	10111 (23)	отбрасываются все	$2^n$
11110	01111 (15)	отбрасываются все	$2^n$
11111	11111 (31)	отбрасываются все	$2^n$

RU 2186460 C1

RU 2186460 C1

Таблица 3

ВЫХ АДРЕС [8:4] = первый порог	ГР СЧЕТЧИК [4:0]	РЕЗУЛЬТАТ	число отбрасываемых ВЫХ АДРЕСОВ
10001	10001 (17)	отбрасываются частично	$< 2^n$
10010	01001 (9)	отбрасываются все	$2^n$
10011	11001 (25)	отбрасываются все	$2^n$
10100	00101 (5)	отбрасываются все	$2^n$
10101	10101 (21)	отбрасываются все	$2^n$
10110	01101 (13)	отбрасываются все	$2^n$
10111	11101 (29)	отбрасываются все	$2^n$
11000	00011 (3)	отбрасываются все	$2^n$
11001	10011 (19)	отбрасываются все	$2^n$
11010	01011 (11)	отбрасываются все	$2^n$
11011	11011 (27)	отбрасываются все	$2^n$
11100	00111 (7)	отбрасываются все	$2^n$
11101	10111 (23)	отбрасываются все	$2^n$
11110	01111 (15)	отбрасываются все	$2^n$
11111	11111 (31)	отбрасываются все	$2^n$

RU 2186460 C1

RU 2186460 C1

Таблица 4

Табличный индекс	n = 4	n = 5	n = 6	n = 7	n = 8	n = 9	n = 10
0	5	27	3	15	3	3	1
1	15	3	27	127	1	31	3
2	5	1	15	89	5	9	927
<u>3</u>	<u>15</u>	<u>15</u>	<u>13</u>	<u>1</u>	<u>83</u>	<u>355</u>	<u>1</u>
4	1	13	29	31	19	203	3
5	9	17	5	15	179	407	1
6	9	23	1	61	19	257	1
<u>7</u>	<u>15</u>	<u>13</u>	<u>31</u>	<u>47</u>	<u>99</u>	<u>1</u>	<u>589</u>
8	13	9	3	127	23	3	937
9	15	3	9	17	1	1	375
10	7	15	15	119	3	503	615
<u>11</u>	<u>11</u>	<u>3</u>	<u>31</u>	<u>15</u>	<u>13</u>	<u>1</u>	<u>1</u>
12	15	13	17	57	13	3	737
13	3	1	5	123	3	395	1
14	15	13	39	95	17	1	3
<u>15</u>	<u>5</u>	<u>29</u>	<u>1</u>	<u>5</u>	<u>1</u>	<u>415</u>	<u>85</u>
16	13	21	19	85	63	199	981
17	15	19	27	17	131	111	329
18	9	1	15	55	17	219	109
<u>19</u>	<u>3</u>	<u>3</u>	<u>13</u>	<u>57</u>	<u>131</u>	<u>495</u>	<u>949</u>
20	1	29	45	15	211	93	167
21	3	17	5	41	173	239	589
22	15	25	33	93	231	111	675
<u>23</u>	<u>1</u>	<u>29</u>	<u>15</u>	<u>87</u>	<u>171</u>	<u>131</u>	<u>297</u>
24	13	9	13	63	23	383	879
25	1	13	9	15	147	209	109
26	9	23	15	13	243	355	161
<u>27</u>	<u>15</u>	<u>13</u>	<u>31</u>	<u>15</u>	<u>213</u>	<u>407</u>	<u>187</u>
28	11	13	17	81	189	171	999
29	3	1	5	57	51	111	727
30	15	13	15	31	15	363	67
<u>31</u>	<u>5</u>	<u>13</u>	<u>33</u>	<u>69</u>	<u>67</u>	<u>105</u>	<u>875</u>

RU 2186460 C1

RU 2186460 C1

Таблица 5

Табличный индекс	n = 4	n = 5	n = 6	n = 7	n = 8	n = 9	n = 10
0	5	27	3	15	3	3	1
1	15	3	27	127	1	31	3
2	5	1	15	89	5	9	927
<u>3</u>	<u>15</u>	<u>15</u>	<u>13</u>	<u>1</u>	<u>83</u>	<u>355</u>	<u>1</u>
4	1	13	29	31	19	203	3
<u>5</u>	<u>9</u>	<u>17</u>	<u>5</u>	<u>15</u>	<u>179</u>	<u>407</u>	<u>1</u>
6	9	23	1	61	19	257	1
<u>7</u>	<u>15</u>	<u>13</u>	<u>31</u>	<u>47</u>	<u>99</u>	<u>1</u>	<u>589</u>
8	13	9	3	127	23	3	937
<u>9</u>	<u>15</u>	<u>3</u>	<u>9</u>	<u>17</u>	<u>1</u>	<u>1</u>	<u>375</u>
10	7	15	15	119	3	503	615
<u>11</u>	<u>11</u>	<u>3</u>	<u>31</u>	<u>15</u>	<u>13</u>	<u>1</u>	<u>1</u>
12	15	13	17	57	13	3	737
<u>13</u>	<u>3</u>	<u>1</u>	<u>5</u>	<u>123</u>	<u>3</u>	<u>395</u>	<u>1</u>
14	15	13	39	95	17	1	3
<u>15</u>	<u>5</u>	<u>29</u>	<u>1</u>	<u>5</u>	<u>1</u>	<u>415</u>	<u>85</u>
16	13	21	19	85	63	199	981
17	15	19	27	17	131	111	329
18	9	1	15	55	17	219	109
<u>19</u>	<u>3</u>	<u>3</u>	<u>13</u>	<u>57</u>	<u>131</u>	<u>495</u>	<u>949</u>
20	1	29	45	15	211	93	167
<u>21</u>	<u>3</u>	<u>17</u>	<u>5</u>	<u>41</u>	<u>173</u>	<u>239</u>	<u>589</u>
22	15	25	33	93	231	111	675
<u>23</u>	<u>1</u>	<u>29</u>	<u>15</u>	<u>87</u>	<u>171</u>	<u>131</u>	<u>297</u>
24	13	9	13	63	23	383	879
<u>25</u>	<u>1</u>	<u>13</u>	<u>9</u>	<u>15</u>	<u>147</u>	<u>209</u>	<u>109</u>
26	9	23	15	13	243	355	161
<u>27</u>	<u>15</u>	<u>13</u>	<u>31</u>	<u>15</u>	<u>213</u>	<u>407</u>	<u>187</u>
28	11	13	17	81	189	171	999
<u>29</u>	<u>3</u>	<u>1</u>	<u>5</u>	<u>57</u>	<u>51</u>	<u>111</u>	<u>727</u>
30	15	13	15	31	15	363	67
<u>31</u>	<u>5</u>	<u>13</u>	<u>33</u>	<u>69</u>	<u>67</u>	<u>105</u>	<u>875</u>

RU 2186460 C1

RU 2186460 C1

Таблица 6

RS1 (ГР СЧЕТЧИК=29)	n = 4	n = 5	n = 6	n = 7	n = 8
С	3	1	5	57	51
второй порог	10	26	58	122	250
ВЫХ АДРЕС[n-1:0]: отбрасываемый индекс	{10, 11, 12, 13, 14, 15}	{26, 27, 28, 29, 30, 31}	{58, 59, 60, 61, 62, 63}	{122, 123, 124, 125, 126, 127}	{250, 251, 252, 253, 254, 255}
ИНД_СЧЕТЧИК[n-1:0]: отбрасываемый индекс	{3, 4, 8, 9, 13, 14}	{25, 26, 27, 28, 29, 30}	{11, 24, 37, 49, 50, 62}	{73, 82, 91, 100, 109, 118}	{4, 9, 14, 19, 24, 29}

Таблица 7

RS2 (ГР_СЧЕТЧИК=17)	n = 5	n = 6	n = 7	n = 8
С	19	27	17	131
второй порог	26	58	122	250
ВЫХ АДРЕС[n-1:0]: отбрасываемый индекс	{26, 27, 28, 29, 30, 31}	{58, 59, 60, 61, 62, 63}	{122, 123, 124, 125, 126, 127}	{250, 251, 252, 253, 254, 255}
ИНД_СЧЕТЧИК[n-1:0]: отбрасываемый индекс	{4, 9, 14, 19, 24, 29}	{6, 13, 25, 32, 44, 51}	{14, 29, 44, 59, 74, 89}	{40, 83, 126, 169, 212, 253}

RU 2186460 C1

RU 2186460 C1

Таблица 8

ИНД_СЧЕТЧИК [3:0]	ЛКП	ВЫХ_АДРЕС[3:0]	ВЫХ_АДРЕС[8:4]
0	$(0+1) \times 3 \bmod 16$	3	10111(23)
1	$(1+1) \times 3 \bmod 16$	6	10111(23)
2	$(2+1) \times 3 \bmod 16$	9	10111(23)
3	$(3+1) \times 3 \bmod 16$	12* отбрасыва- ется	10111(23)
4	$(4+1) \times 3 \bmod 16$	15* отбрасыва- ется	10111(23)
5	$(5+1) \times 3 \bmod 16$	2	10111(23)
6	$(6+1) \times 3 \bmod 16$	5	10111(23)
7	$(7+1) \times 3 \bmod 16$	8	10111(23)
8	$(8+1) \times 3 \bmod 16$	11* отбрасыва- ется	10111(23)
9	$(9+1) \times 3 \bmod 16$	14* отбрасыва- ется	10111(23)
10	$(10+1) \times 3 \bmod 16$	1	10111(23)
11	$(11+1) \times 3 \bmod 16$	4	10111(23)
12	$(12+1) \times 3 \bmod 16$	7	10111(23)
13	$(13+1) \times 3 \bmod 16$	10* отбрасыва- ется	10111(23)
14	$(14+1) \times 3 \bmod 16$	13* отбрасыва- ется	10111(23)
15	$(15+1) \times 3 \bmod 16$	0	10111(23)

RU 2186460 C1

RU 2186460 C1



Таблица 9

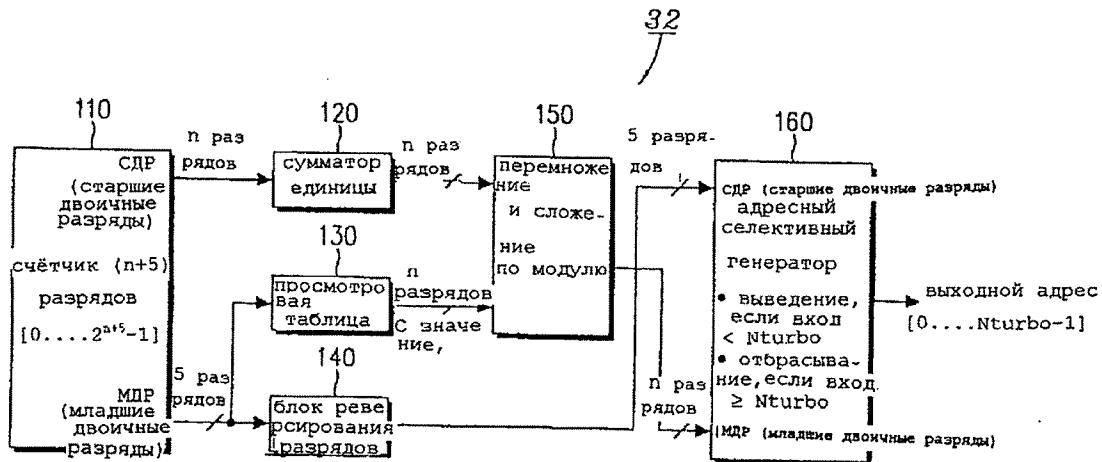
ИНД_СЧЕТЧИК [4:0]	ЛКП	ВЫХ_АДРЕС[4:0]	ВЫХ_АДРЕС[9:5]
0	$(0+1) \times 3 \bmod 32$	1	10111(23)
1	$(1+1) \times 3 \bmod 32$	2	10111(23)
2	$(2+1) \times 3 \bmod 32$	3	10111(23)
3	$(3+1) \times 3 \bmod 32$	4	10111(23)
4	$(4+1) \times 3 \bmod 32$	5	10111(23)
5	$(5+1) \times 3 \bmod 32$	6	10111(23)
6	$(6+1) \times 3 \bmod 32$	7	10111(23)
7	$(7+1) \times 3 \bmod 32$	8	10111(23)
8	$(8+1) \times 3 \bmod 32$	9	10111(23)
9	$(9+1) \times 3 \bmod 32$	10	10111(23)
10	$(10+1) \times 3 \bmod 32$	11	10111(23)
11	$(11+1) \times 3 \bmod 32$	12	10111(23)
12	$(12+1) \times 3 \bmod 32$	13	10111(23)
13	$(13+1) \times 3 \bmod 32$	14	10111(23)
14	$(14+1) \times 3 \bmod 32$	15	10111(23)
15	$(15+1) \times 3 \bmod 32$	16	10111(23)
16	$(16+1) \times 3 \bmod 32$	17	10111(23)
17	$(17+1) \times 3 \bmod 32$	18	10111(23)
18	$(18+1) \times 3 \bmod 32$	19	10111(23)
19	$(19+1) \times 3 \bmod 32$	20	10111(23)
20	$(20+1) \times 3 \bmod 32$	21	10111(23)
21	$(21+1) \times 3 \bmod 32$	22	10111(23)

RU 2186460 C1

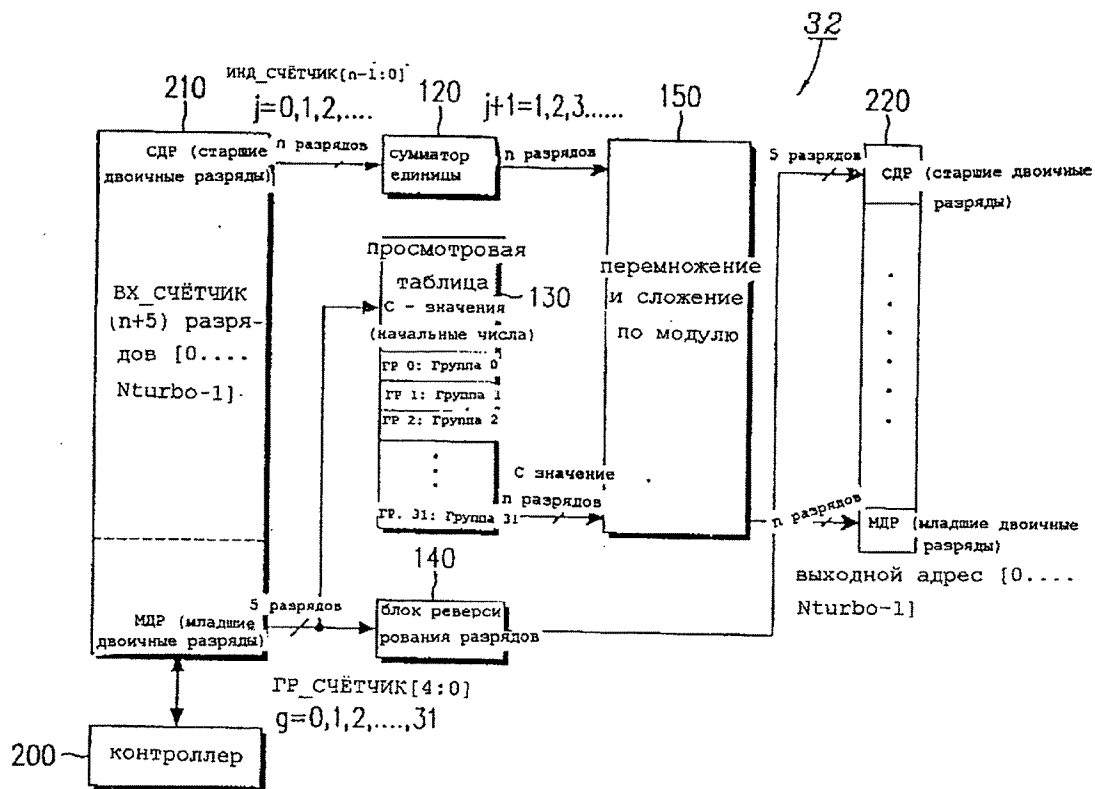
RU 2186460 C1

Продолжение табл. 9

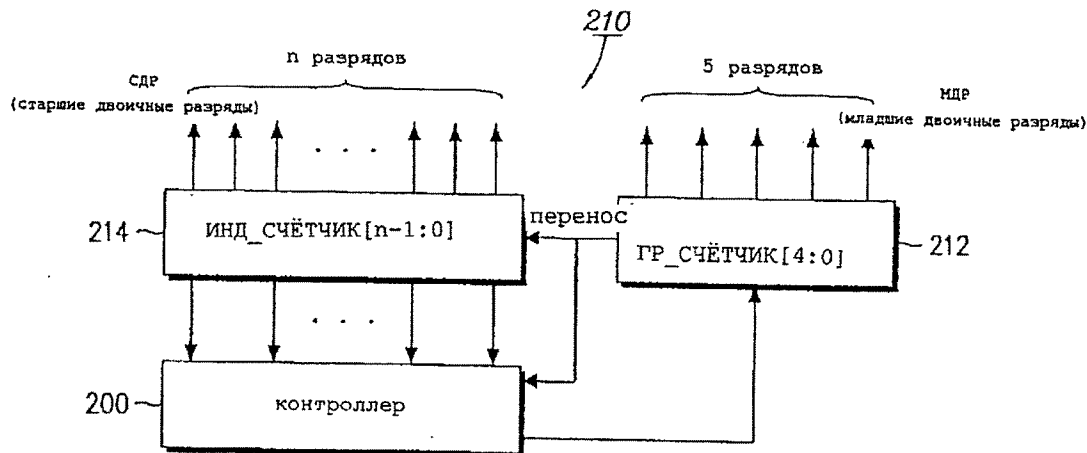
22	$(22+1) \times 3 \bmod 32$	23	10111 (23)
23	$(23+1) \times 3 \bmod 32$	24	10111 (23)
24	$(24+1) \times 3 \bmod 32$	25	10111 (23)
25	$(25+1) \times 3 \bmod 32$	26* отбрасывается	10111 (23)
26	$(26+1) \times 3 \bmod 32$	27* отбрасывается	10111 (23)
27	$(27+1) \times 3 \bmod 32$	28* отбрасывается	10111 (23)
28	$(28+1) \times 3 \bmod 32$	29* отбрасывается	10111 (23)
29	$(29+1) \times 3 \bmod 32$	30* отбрасывается	10111 (23)
30	$(30+1) \times 3 \bmod 32$	31* отбрасывается	10111 (23)
31	$(31+1) \times 3 \bmod 32$	16	10111 (23)



Фиг.2



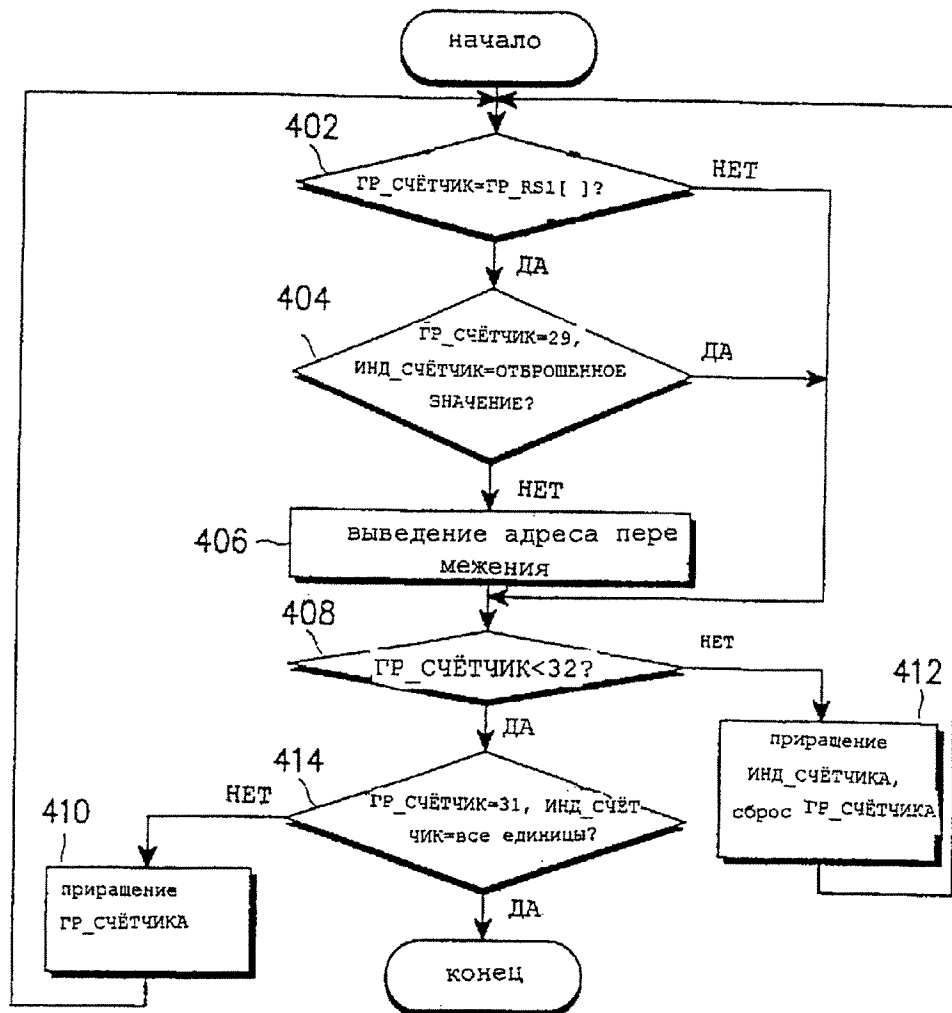
Фиг.3



\*начальное значение ГР\_счётчика:  $\{00000\}$

\*начальное значение инд\_счётчика:  $\{00\dots00\}$

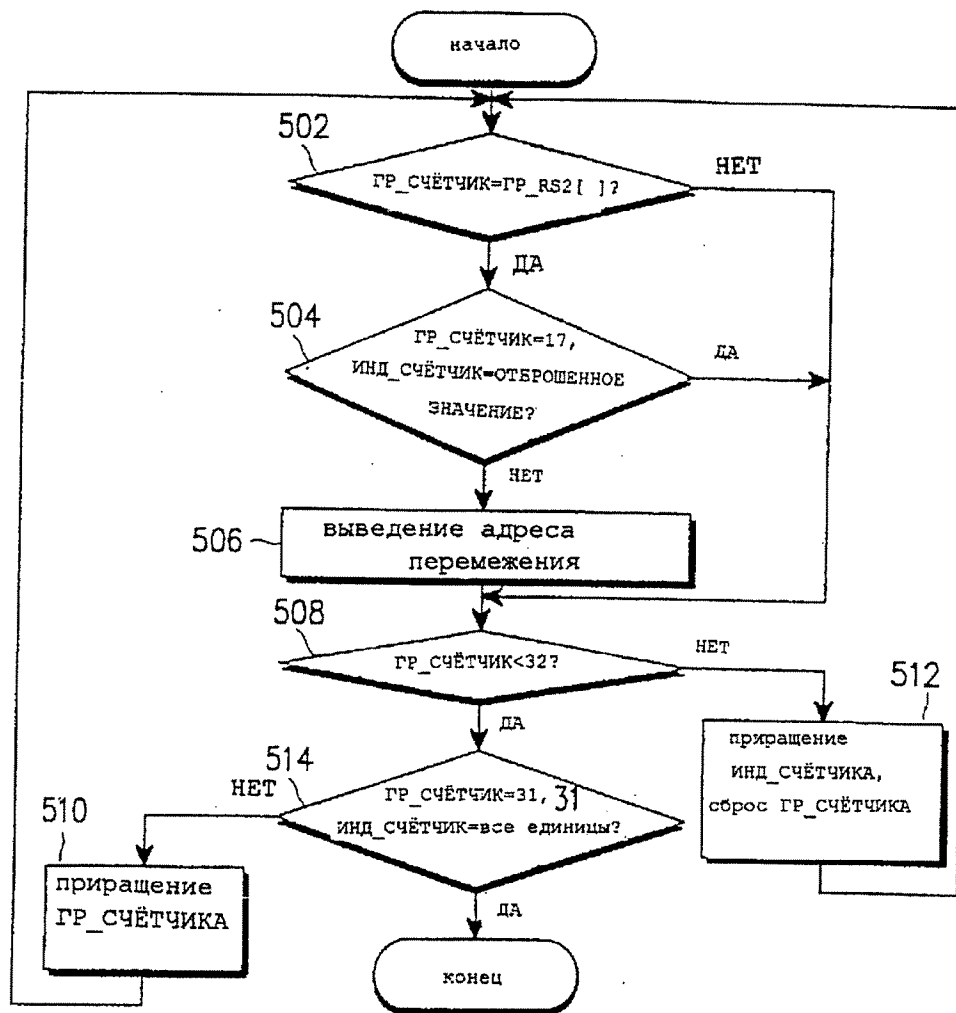
Фиг.4



Фиг.5

RU 2186460 C1

RU 2186460 C1



Фиг.6

	ГР 0	ГР 1	ГР 2	ГР 3	ГР 4	ГР 5	ГР 6 ...	ГР 15	ГР 16	ГР 17 ...	ГР 29	ГР 30	ГР 31
ИИД_СЧЕТ	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
ГР_СЧЕТ	00000	00001	00010	00011	00100	00101	00110	01111	10000	10001	11101	11110	11111
ИИД_СЧЕТ	0001	0001	0001	0001	0001	0001	0001	0001	0001	0001	0001	0001	0001
ГР_СЧЕТ	00000	00001	00010	00011	00100	00101	00110	01111	10000	10001	11101	11110	11111
ИИД_СЧЕТ	0010	0010	0010	0010	0010	0010	0010	0010	0010	0010	0010	0010	0010
ГР_СЧЕТ	00000	00001	00010	00011	00100	00101	00110	01111	10000	10001	11101	11110	11111
ИИД_СЧЕТ	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011
ГР_СЧЕТ	00000	00001	00010	00011	00100	00101	00110	01111	10000	10001	11101	11110	11111
ИИД_СЧЕТ	0100	0100	0100	0100	0100	0100	0100	0100	0100	0100	0100	0100	0100
ГР_СЧЕТ	00000	00001	00010	00011	00100	00101	00110	01111	10000	10001	11101	11110	11111
:	:	:	:	:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:	:	:	:	:
ИИД_СЧЕТ	1110	1110	1110	1110	1110	1110	1110	1110	1110	1110	1110	1110	1110
ГР_СЧЕТ	00000	00001	00010	00011	00100	00101	00110	01111	10000	10001	11101	11110	11111
ИИД_СЧЕТ	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111
ГР_СЧЕТ	00000	00001	00010	00011	00100	00101	00110	01111	10000	10001	11101	11110	11111

пример, ВХ\_СЧЕТЧИК[8:0] Работа: установка скорости передачи  
1, n=4, C=3 для Группы 29, M=16, порог=10

Фиг.7